

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Mutsumi MITARASHI :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed January 2, 2004 : Attorney Docket No. 2003-1919A
LEVEL TRANSFORMING CIRCUIT

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2003-012527, filed January 21, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Mutsumi MITARASHI

By



Nils E. Pedersen
Registration No. 33,145
Attorney for Applicant

NEP/krq
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
January 2, 2004

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 1月21日

出願番号

Application Number:

特願2003-012527

[ST.10/C]:

[JP2003-012527]

出願人

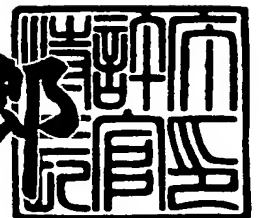
Applicant(s):

沖電気工業株式会社

2003年 7月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052690

【書類名】 特許願

【整理番号】 KT000481

【提出日】 平成15年 1月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 19/0185
H03K 17/10

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 御手洗 睦

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベル変換回路

【特許請求の範囲】

【請求項 1】 レベル変換回路であって：

高電圧が印加される高電圧電源と第 1 の出力ノードとの間に直列接続された第 1 および第 2 の P チャンネル型 MOS トランジスタ，ならびに前記第 1 の出力ノードとグランドとの間に直列接続された第 1 および第 2 の N チャンネル型 MOS トランジスタを備え，プルアップ用として機能する前記第 1 の P チャンネル型 MOS トランジスタのゲートに第 1 の信号が印加され，プルダウン用として機能する前記第 2 の N チャンネル型 MOS トランジスタのゲートに前記高電圧よりも低い低電圧とグランド電圧との間の振幅を有する入力信号が印加され，前記第 2 の P チャンネル型 MOS トランジスタ，および前記第 1 の N チャンネル型 MOS トランジスタの各ゲートに低電圧が共通に印加される第 1 の CMOS 回路と；

前記高電圧電源と第 2 の出力ノードとの間に接続され前記第 1 の信号がゲートに印加される第 3 の P チャンネル型 MOS トランジスタ，および前記第 2 の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第 1 の信号がゲートに印加される第 3 の N チャンネル型 MOS トランジスタを有する第 1 の中間回路と；

前記高電圧電源と第 3 の出力ノードとの間に接続され前記第 1 の中間回路の第 2 の出力ノードの電位がゲートに印加される第 4 の P チャンネル型 MOS トランジスタ，および前記第 3 の出力ノードと前記低電圧電源との間に接続され前記第 1 の中間回路の第 2 の出力ノードの電位がゲートに印加される第 4 の N チャンネル型 MOS トランジスタを有し，前記第 3 の出力ノードより前記第 1 の信号を出力する第 2 の中間回路と；

前記高電圧電源と第 4 の出力ノードとの間に直列接続された第 5 および第 6 の P チャンネル型 MOS トランジスタ，ならびに前記第 4 の出力ノードとグランドとの間に直列接続された第 5 および第 6 の N チャンネル型 MOS トランジスタを備え，プルアップ用として機能する前記第 5 の P チャンネル型 MOS トランジスタのゲートに第 1 の中間回路の前記第 2 の出力ノードの電位を有する信号が印加され，

プルダウン用として機能する前記第 6 の N チャンネル型 MOS トランジスタのゲートに前記入力信号の反転信号が印加され、前記第 6 の P チャンネル型 MOS トランジスタ、および前記第 5 の N チャンネル型 MOS トランジスタの各ゲートに低電圧が共通に印加され前記第 4 の出力ノードより前記高電圧とグランド電圧の振幅を有する信号を外部に出力する第 2 の CMOS 回路と；

前記直列接続された第 1，第 2 の P チャンネル型 MOS トランジスタの共通ノードと前記第 1 の中間回路の第 2 の出力ノードとの間に接続され前記第 1 の CMOS 回路の前記第 1 の出力ノードの電位がゲートに印加される第 7 の P チャンネル型 MOS トランジスタと；

前記直列接続された第 5，第 6 の P チャンネル型 MOS トランジスタの共通ノードと前記第 2 の中間回路の第 3 の出力ノードとの間に接続され前記第 2 の CMOS 回路の前記第 4 の出力ノードの電位がゲートに印加される第 8 の P チャンネル型 MOS トランジスタと；

を備えたことを特徴とする、レベル変換回路。

【請求項 2】 前記第 1 の CMOS 回路における前記第 1 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 2 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し、前記第 2 の N チャンネル型 MOS トランジスタのオン抵抗は前記第 1 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し；

前記第 2 の CMOS 回路における前記第 5 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 6 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し、前記第 6 の N チャンネル型 MOS トランジスタのオン抵抗は前記第 5 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し；

前記第 1 の中間回路の第 3 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 7 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し；

前記第 2 の中間回路の第 4 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 8 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定したことを特徴とする、請求項 1 に記載のレベル変換回路。

【請求項 3】 前記第 1 の中間回路の前記第 3 の N チャンネル型 MOS トラン

ジスタ、および前記第 2 の中間回路の前記第 4 の N チャンネル型 MOS トランジスタのサブストレートをそれぞれのソース側に接続して、前記第 1、第 2、第 5、第 6 の N チャンネル型 MOS トランジスタのサブストレートと分離したことを特徴とする、請求項 1 または 2 に記載のレベル変換回路。

【請求項 4】 前記第 7 の P チャンネル型 MOS トランジスタ、および前記第 8 の P チャンネル型 MOS トランジスタのサブストレートをソース、またはドレイン側に接続して、前記第 1 ～ 第 6 の P チャンネル型 MOS トランジスタのサブストレートと分離したことを特徴とする、請求項 1 ～ 3 のいずれかに記載のレベル変換回路。

【請求項 5】 前記第 1 ～ 第 8 の P チャンネル型 MOS トランジスタ、および前記第 1 ～ 第 6 の N チャンネル型 MOS トランジスタは絶縁膜により分離された素子領域に形成されたことを特徴とする、請求項 1 ～ 4 のいずれかに記載のレベル変換回路。

【請求項 6】 前記第 1 の信号は前記高電圧と前記低電圧の間の振幅を有する信号であり、該第 1 の信号を前記出力信号と独立して外部へ出力する構成としたことを特徴とする、請求項 1 ～ 5 のいずれかに記載のレベル変換回路。

【請求項 7】 レベル変換回路であって：

高電圧が印加される高電圧電源と第 1 の出力ノードとの間に直列接続された第 1 および第 2 の P チャンネル型 MOS トランジスタ、ならびに前記第 1 の出力ノードとグランドとの間に直列接続された第 1 および第 2 の N チャンネル型 MOS トランジスタを備え、プルアップ用として機能する前記第 1 の P チャンネル型 MOS トランジスタのゲートに第 1 の信号が印加され、プルダウン用として機能する前記第 2 の N チャンネル型 MOS トランジスタのゲートに前記高電圧よりも低い低電圧とグランド電圧との間の振幅を有する入力信号が印加され、前記第 2 の P チャンネル型 MOS トランジスタ、および前記第 1 の N チャンネル型 MOS トランジスタの各ゲートに低電圧が共通に印加される第 1 の CMOS 回路と；

前記高電圧電源と第 2 の出力ノードとの間に接続され前記第 1 の信号がゲートに印加される第 3 の P チャンネル型 MOS トランジスタ、および前記第 2 の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第 1 の信号がゲート

に印加される第 3 の N チャンネル型 MOS トランジスタを有する第 1 の中間回路と
;

前記高電圧電源と第 3 の出力ノードとの間に接続され前記第 1 の中間回路の第 2 の出力ノードの電位がゲートに印加される第 4 の P チャンネル型 MOS トランジスタ、および前記第 3 の出力ノードと前記低電圧電源との間に接続され前記第 1 の中間回路の第 2 の出力ノードの電位がゲートに印加される第 4 の N チャンネル型 MOS トランジスタを有し、前記第 3 の出力ノードより前記第 1 の信号を出力する第 2 の中間回路と;

前記高電圧電源と第 4 の出力ノードとの間に直列接続された第 5 および第 6 の P チャンネル型 MOS トランジスタ、ならびに前記第 4 の出力ノードとグランドとの間に直列接続された第 5 および第 6 の N チャンネル型 MOS トランジスタを備え、プルアップ用として機能する前記第 5 の P チャンネル型 MOS トランジスタのゲートに第 1 の中間回路の前記第 2 の出力ノードの電位を有する信号が印加され、プルダウン用として機能する前記第 6 の N チャンネル型 MOS トランジスタのゲートに前記入力信号の反転信号が印加され、前記第 6 の P チャンネル型 MOS トランジスタ、および前記第 5 の N チャンネル型 MOS トランジスタの各ゲートに低電圧が共通に印加され前記第 4 の出力ノードより前記高電圧とグランド電圧の振幅を有する信号を外部に出力する第 2 の CMOS 回路と;

前記直列接続された第 1、第 2 の P チャンネル型 MOS トランジスタの共通ノードと前記第 1 の中間回路の第 2 の出力ノードとの間に接続され前記低電圧の電位がゲートに印加される第 7 の P チャンネル型 MOS トランジスタと;

前記直列接続された第 5、第 6 の P チャンネル型 MOS トランジスタの共通ノードと前記第 2 の中間回路の第 3 の出力ノードとの間に接続され前記低電圧の電位がゲートに印加される第 8 の P チャンネル型 MOS トランジスタと;
を備えたことを特徴とする、レベル変換回路。

【請求項 8】 前記第 1 の CMOS 回路における前記第 1 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 2 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し、前記第 2 の N チャンネル型 MOS トランジスタのオン抵抗は前記第 1 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定

し；

前記第 2 の C M O S 回路における前記第 5 の P チャネル型 M O S トランジスタのオン抵抗は前記第 6 の P チャネル型 M O S トランジスタのオン抵抗よりも大きく設定し、前記第 6 の N チャネル型 M O S トランジスタのオン抵抗は前記第 5 の N チャネル型 M O S トランジスタのオン抵抗よりも大きく設定し；

前記第 1 の中間回路の第 3 の P チャネル型 M O S トランジスタのオン抵抗は前記第 7 の P チャネル型 M O S トランジスタのオン抵抗よりも大きく設定し；

前記第 2 の中間回路の第 4 の P チャネル型 M O S トランジスタのオン抵抗は前記第 8 の P チャネル型 M O S トランジスタのオン抵抗よりも大きく設定したことを特徴とする、請求項 7 に記載のレベル変換回路。

【請求項 9】 前記第 1 の中間回路の前記第 3 の N チャネル型 M O S トランジスタ、および前記第 2 の中間回路の前記第 4 の N チャネル型 M O S トランジスタのサブストレートをそれぞれのソース側に接続して、前記第 1、第 2、第 5、第 6 の N チャネル型 M O S トランジスタのサブストレートと分離したことを特徴とする、請求項 7 または 8 に記載のレベル変換回路。

【請求項 10】 前記第 7 の P チャネル型 M O S トランジスタ、および前記第 8 の P チャネル型 M O S トランジスタのサブストレートをソース、またはドレイン側に接続して、前記第 1 ～第 6 の P チャネル型 M O S トランジスタのサブストレートと分離したことを特徴とする、請求項 7 ～ 9 のいずれかに記載のレベル変換回路。

【請求項 11】 前記第 1 ～第 8 の P チャネル型 M O S トランジスタ、および前記第 1 ～第 6 の N チャネル型 M O S トランジスタは絶縁膜により分離された素子領域に形成されたことを特徴とする、請求項 7 ～ 10 のいずれかに記載のレベル変換回路。

【請求項 12】 前記第 1 の信号は前記高電圧と前記低電圧の間の振幅を有する信号であり、該第 1 の信号を前記出力信号と独立して外部へ出力する構成としたことを特徴とする、請求項 7 ～ 11 のいずれかに記載のレベル変換回路。

【請求項 13】 レベル変換回路であって：

高電圧が印加される高電圧電源と第 1 の出力ノードとの間に直列接続された第

1 および第 2 の P チャンネル型 MOS トランジスタ, ならびに前記第 1 の出力ノードとグランドとの間に直列接続された第 1 および第 2 の N チャンネル型 MOS トランジスタを備え, プルアップ用として機能する前記第 1 の P チャンネル型 MOS トランジスタのゲートに第 1 の信号が印加され, プルダウン用として機能する前記第 2 の N チャンネル型 MOS トランジスタのゲートに前記高電圧よりも低い低電圧とグランド電圧との間の振幅を有する入力信号が印加され, 前記第 2 の P チャンネル型 MOS トランジスタ, および前記第 1 の N チャンネル型 MOS トランジスタの各ゲートに低電圧が共通に印加される第 1 の CMOS 回路と;

前記高電圧電源と第 2 の出力ノードとの間に接続され前記第 1 の信号がゲートに印加される第 3 の P チャンネル型 MOS トランジスタ, および前記第 2 の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第 1 の信号がゲートに印加される第 3 の N チャンネル型 MOS トランジスタを有する第 1 の中間回路と;

前記高電圧電源と第 3 の出力ノードとの間に接続され前記第 1 の中間回路の第 2 の出力ノードの電位がゲートに印加される第 4 の P チャンネル型 MOS トランジスタ, および前記第 3 の出力ノードと前記低電圧電源との間に接続され前記第 1 の中間回路の第 2 の出力ノードの電位がゲートに印加される第 4 の N チャンネル型 MOS トランジスタを有し, 前記第 3 の出力ノードより前記第 1 の信号を出力する第 2 の中間回路と;

前記高電圧電源と第 4 の出力ノードとの間に直列接続された第 5 および第 6 の P チャンネル型 MOS トランジスタ, ならびに前記第 4 の出力ノードとグランドとの間に直列接続された第 5 および第 6 の N チャンネル型 MOS トランジスタを備え, プルアップ用として機能する前記第 5 の P チャンネル型 MOS トランジスタのゲートに第 1 の中間回路の前記第 2 の出力ノードの電位を有する信号が印加され, プルダウン用として機能する前記第 6 の N チャンネル型 MOS トランジスタのゲートに前記入力信号の反転信号が印加され, 前記第 6 の P チャンネル型 MOS トランジスタ, および前記第 5 の N チャンネル型 MOS トランジスタの各ゲートに低電圧が共通に印加され前記第 4 の出力ノードより前記高電圧とグランド電圧の振幅を有する信号を外部に出力する第 2 の CMOS 回路と;

前記直列接続された第 1, 第 2 の P チャンネル型 MOS トランジスタの共通ノードと前記第 1 の中間回路の第 2 の出力ノードとの間に接続され前記高電圧の電位がゲートに印加される第 7 の N チャンネル型 MOS トランジスタと;

前記直列接続された第 5, 第 6 の P チャンネル型 MOS トランジスタの共通ノードと前記第 2 の中間回路の第 3 の出力ノードとの間に接続され前記高電圧の電位がゲートに印加される第 8 の N チャンネル型 MOS トランジスタと;
を備えたことを特徴とする, レベル変換回路。

【請求項 1 4】 前記第 1 の CMOS 回路における前記第 1 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 2 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し, 前記第 2 の N チャンネル型 MOS トランジスタのオン抵抗は前記第 1 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し,

前記第 2 の CMOS 回路における前記第 5 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 6 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し, 前記第 6 の N チャンネル型 MOS トランジスタのオン抵抗は前記第 5 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し;

前記第 1 の中間回路の第 3 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 7 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し;

前記第 2 の中間回路の第 4 の P チャンネル型 MOS トランジスタのオン抵抗は前記第 8 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定したことを特徴とする, 請求項 1 3 に記載のレベル変換回路。

【請求項 1 5】 前記第 1 の中間回路の前記第 3 の N チャンネル型 MOS トランジスタ, および前記第 2 の中間回路の前記第 4 の N チャンネル型 MOS トランジスタのサブストレートをそれぞれのソース側に接続して, 前記第 1, 第 2, 第 5, 第 6 の N チャンネル型 MOS トランジスタのサブストレートと分離したことを特徴とする, 請求項 1 3 または 1 4 に記載のレベル変換回路。

【請求項 1 6】 前記第 7 の N チャンネル型 MOS トランジスタ, および前記第 8 の N チャンネル型 MOS トランジスタのサブストレートをソース, またはドレイン側に接続して, 前記第 1 ~ 第 6 の N チャンネル型 MOS トランジスタのサブス

トレートと分離したことを特徴とする、請求項 1 3 ～ 1 5 のいずれかに記載のレベル変換回路。

【請求項 1 7】 前記第 1 ～ 第 6 の P チャネル型 MOS トランジスタ、および前記第 1 ～ 第 8 の N チャネル型 MOS トランジスタは絶縁膜により分離された素子領域に形成されたことを特徴とする、請求項 1 3 ～ 1 6 のいずれかに記載のレベル変換回路。

【請求項 1 8】 前記第 1 の信号は前記高電圧と前記低電圧の間の振幅を有する信号であり、該第 1 の信号を前記出力信号と独立して外部へ出力する構成としたことを特徴とする、請求項 1 3 ～ 1 7 のいずれかに記載のレベル変換回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、異なる電源電圧によって動作するデジタル回路のインタフェースをとるためのレベル変換回路に関する。

【0 0 0 2】

【従来の技術】

MOS トランジスタの微細化がすすむにつれて許容されるゲート酸化膜耐圧は下がってきており、0.35 μ m 程度の微細プロセスでは 3.3 V 程度の電源電圧で動作し、さらに最先端の 0.18 μ m 程度の微細プロセスでは 1.8 V 程度の電源電圧が用いられる。従来、この 0.18 μ m の微細プロセスでは 3.3 V 動作の回路とインタフェースをするために 1.8 V 程度の電源電圧が許容されるトランジスタと 3.3 V 程度の電源電圧が許容されるトランジスタの両方を形成して 1.8 V から 3.3 V への信号レベル変換を行っている。

【0 0 0 3】

(第 1 の従来技術)

図 1 0 は第 1 の従来技術として、特開平 4 - 1 5 0 4 1 1 号公報に開示されたレベル変換回路の構成を示す回路図である。このレベル変換回路は、同図に示すように、高電圧電源 VDD (3.3 V) によって動作するラッチ回路 2 0 0 を備え、このラッチ回路 2 0 0 のノード N 1 1, N 1 2 とグラウンドの間には NMOS

2 1 1, NMOS 2 1 2 がそれぞれ接続されている。NMOS 2 1 1 のゲートには、低電圧電源 VCC (1. 8 V) で動作する回路からの信号 IN が印加され、NMOS 2 1 2 のゲートには低電圧電源 VCC で動作するインバータ 2 1 3 により駆動された信号 IN の反転信号が印加される。ラッチ回路 2 0 0 のノード N 1 1, N 1 2 が各々 3. 3 V, 0 V のとき、信号 IN が 3. 3 V になると NMOS 2 1 1 がオンして NMOS 2 1 2 はオフする。その結果、ノード N 1 1 は 0 V に、ノード N 1 2 は 3. 3 V になり、入力信号 IN は 1. 8 V から 3. 3 V へ変換されラッチ回路 2 0 0 の N 1 2 からラッチされた出力信号が得られる。

【 0 0 0 4 】

(第 2 の従来技術)

図 1 1 は第 2 の従来技術として、特開平 6 - 2 1 6 7 5 2 に開示されたレベル変換回路の構成を示す回路図である。このレベル変換回路はゲート酸化膜耐圧が高電圧 (5 V) よりも低い MOS トランジスタだけを用いて低電圧電源系から高電圧電源系へのレベル変換を行うものである。同図に示すように、このレベル変換回路は MOS トランジスタ 3 0 0 ~ 3 1 3 からなるレベル変換部と、MOS トランジスタ 3 1 4 ~ 3 1 7 からなる出力部とで構成されている。レベル変換部は低電圧 (VCC : 3 V) 電源系の信号 IN を入力してノード N 2 1, N 2 2 にレベル変換用信号を出力する。出力部は前記レベル変換部からの制御信号を受けて高電圧 (VDD : 5 V) 電源系の信号として 0 V ~ 5 V の振幅を有する出力信号 OUT 1 と、中間電位 ~ 5 V の振幅を有する出力信号 OUT 2 と、0 V ~ 中間電位の振幅を有する出力信号 OUT 3 とを出力するようになっている。

【 0 0 0 5 】

出カインーブル信号 OE, およびその反転信号 OEB に、各々 H レベル, L レベルが入力されている場合について説明する。入力信号 IN が L レベルになると PMOS 3 0 6, 3 0 7 がオンし、NMOS 3 0 5, 3 1 2 がオフする。その結果、ノード N 2 3, N 2 4 は H レベルになり、NMOS 3 0 4 がオンし、NMOS 3 0 2 のソース電位が下がり、NMOS 3 0 2, PMOS 3 0 1 の電流経路が形成される。ノード N 2 5 はプルダウンされ、PMOS 3 0 8 がオンする。PMOS 3 0 8 がオンするとノード N 2 1 が H レベルになるとともに、PMOS 3 0

9はオンしNMOS 310のソース電位を高電位VDDまでプルアップする。また、ノードN24がHレベルになると、NMOS 311は出力イネーブル信号EBがHレベルであるから、オンしており、ノードN22はHレベルになり、出力信号OUT3は0Vになる。ノードN21がHレベルになるとPMOS 314はオフして出力信号OUT2は中間電位となる。出力信号OUT1は、出力信号OUT3が0VなのでNMOS 316がオンして、0Vになる。

【0006】

一方、入力信号INがHレベルになると、NMOS 305, 312がオンし、PMOS 306, 307がオフして、ノードN22, N23の電位はプルダウンされ、NMOS 317がオフする。ノードN24はNMOS 311がオンなのでプルダウンされ、PMOS 309, NMOS 310の電流経路がされる。そうしてノードN21がプルダウンされるとPMOS 314がオンするとともに、PMOS 300がオンしてノードN25がプルアップされる。そうして出力信号OUT1には5V, 出力信号OUT2には5V, 出力信号OUT3には中間電位が出力される。

【0007】

(第3の従来技術)

図12は第3の従来技術として、特許第3258229号公報に開示されたレベル変換回路の構成を示す回路図である。このレベル変換回路もゲート酸化膜耐性が高電圧(5V)よりも低いMOSトランジスタだけを用いて低電圧電源系から高電圧電源系へのレベル変換を行うものである。同図に示すように、高電圧が印加される高電圧電源(VDD: 5V)と出力ノードN1の間に直列接続されたPMOS 11, 12, ならびに出力ノードN1とグランドの間に直列接続されたNMOS 13, 14を有し、プルアップ用として機能するPMOS 11のゲートはノードN4に接続され、プルダウン用として機能するNMOS 14のゲートに前記高電圧よりも低い低電圧(VCC: 3V)とグランドとの間の振幅を有する入力信号INが印加され、PMOS 12, およびNMOS 13の各ゲートに低電圧が共通して印加されるCMOS回路10と、前記高電圧電源VDDと出力ノードN3の間に接続されゲートがノードN4に接続されたPMOS 31, および出

力ノードN3と低電源電圧VCCとの間に接続され、CMOS回路10の出力ノードN1にゲートが接続されるPMOS32を有する中間回路30と、前記高電圧電源VDDと出力ノードN4の間に接続されゲートがノードN3に接続されたPMOS41、および出力ノードN4と低電源電圧VCCとの間に接続され、出力信号OUT1がゲートに印加されるPMOS42を有する中間回路40と、前記高電圧電源VDDと出力ノードN2の間に直列接続されたPMOS21, 22、ならびに出力ノードN2とグランドの間に直列接続されたNMOS23, 24を有し、プルアップ用として機能するPMOS21のゲートはノードN3に接続され、プルダウン用として機能するNMOS24のゲートに前記入力信号INの反転信号が印加され、PMOS22、およびNMOS23の各ゲートに低電圧VCCが共通して印加されるCMOS回路20とを備えた回路である。

【0008】

この回路の動作を以下に説明する。入力信号INが低電圧レベル（VCC）である場合は、NMOS14がオンし、これによって、PMOS32がオンする結果、PMOS41, 21もオンする。一方、入力信号の反転信号によりNMOS24がオフし、これによってPMOS42もオフする。したがって、高電圧レベル（VDD）の出力信号が出力される。この状態では、PMOS11, 31, 42とNMOS24がオフ状態なので直流電流パスは存在しない。一方、入力信号INが低電圧レベル（VCC）からグランドレベル（0Vレベル）へ変化した場合は、NMOS24がオンし、これによってPMOS42がオンする結果、PMOS11, 31もオンする。そして入力信号の反転信号によりNMOS14がオフし、これによってPMOS32もオフする。したがって、グランドレベル（0Vレベル）の出力信号が出力される。この状態では、PMOS21, 41, 32とNMOS14がオフ状態なので直流電流パスは存在しない。

【0009】

【特許文献1】

特開平4-150411号公報

【特許文献2】

特開平6-216752号公報

【特許文献3】

特許第3258229号公報

【0010】

【発明が解決しようとする課題】

しかしながら、上記従来のレベル変換回路では次のような問題点があった。

すなわち、第1の従来技術（図10）ではラッチ回路200を構成する2個のインバータの各トランジスタ、およびNMOS211、NMOS212とともに高電圧電源の電圧レベルよりも高いゲート酸化膜耐圧を有するトランジスタとする必要があった。このため、ゲート酸化膜を厚くして、ゲート長を長くして高電圧に耐えるMOSトランジスタを、レベル変換回路に用いるために集積回路のチップ上に部分的に形成することになり、製造プロセスが複雑になるという問題点があった。

【0011】

一方、第2の従来技術（図11）ではゲート酸化膜耐圧が高電圧電源レベルよりも低いトランジスタだけでレベル変換回路を構成できる。しかし、PMOS314のゲート酸化膜耐圧を高電圧レベル（VDD）よりも低く抑えるためにPMOS309がオフしていく効果を利用してPMOS314のゲート電圧（ノードN21）の振幅を制限している。つまりPMOS309のゲート電圧には電位VBが加えられているため、ノードN21の論理はLレベルであるが、電位は（ $V_B + V_{th}$ ）までしか下がらない。ただし、 V_{th} はPMOSのしきい値電圧である。このPMOS309がオフしていきノードN21の電位が（ $V_B + V_{th}$ ）へ自然と安定する減少を用いるため高速な動作ができないという問題点がある。

【0012】

また、PMOS314のゲート電圧（ノードN21の電位）は $V_{DD} - (V_B + V_{th})$ となり、（ $V_B + V_{th}$ ）が3Vよりも高いとするとゲート電圧は低い値となる。したがって、出力部の負荷駆動能力が低下するという問題点もあった。また、出力信号OUT1が0Vから5Vに立ち上がる場合、つまり、NMOS317がオフし、PMOS314がオンしたとき、PMOS315のソース電

位は急峻にプルアップされるため、PMOS 315のゲート-ソース間電圧 V_{gs} はPMOS 314に流れる電流に等しくなるような電圧になり、PMOS 314のソース-ドレイン間には、 $V_{CC} + V_{gs}$ の電圧がかかる。同様に、出力信号OUT1が5Vから0Vに立ち下がる場合、つまり、PMOS 314がオフし、NMOS 317がオンしたとき、NMOS 316のソース電位は急峻にプルダウンされるため、NMOS 316のゲート-ソース間電圧 V_{gs} はNMOS 317に流れる電流に等しくなるような電圧になり、NMOS 316のソース-ドレイン間には、 $V_{CC} + V_{gs}$ の電圧がかかる。したがって、低電圧電源系において推奨される電圧を超える電圧が過渡的にソース-ドレイン間に印加されるので、ホットキャリアによるデバイス性能劣化につながり、信頼性に劣るという問題もあった。

【0013】

また、第3の従来技術(図12)でもゲート酸化膜耐圧が高電圧電源レベルよりも低いトランジスタだけでレベル変換回路を構成できる。しかしながら、CMOS回路10のPMOS 11, 12のオン抵抗をNMOS 13, 14のオン抵抗よりも大きく設定し、CMOS回路20のPMOS 21, 22のオン抵抗をNMOS 23, 24のオン抵抗よりも大きく設定するとともに、中間回路30のPMOS 31のオン抵抗をPMOS 32のオン抵抗よりも大きく設定し、中間回路40のPMOS 41のオン抵抗をPMOS 42のオン抵抗よりも大きく設定するようにしているため、以下のような問題点がある。

【0014】

入力信号INがグラウンドレベルから低電圧レベル(V_{CC})になると、NMOS 13, 14のオン抵抗がPMOS 11, 12のオン抵抗よりも小さいので出力ノードN1の電位は急峻に立ち下がり、PMOS 12のソース-ドレイン間電圧は、PMOS 11に流れる電流と等しい電流がPMOS 12に流れるようなゲート-ソース電圧を V_{gs} として、 $V_{CC} + V_{gs}$ となり、ソース-ドレイン間電圧は過渡的に V_{CC} 以上になる。同様にPMOS 32のゲート-ソース間電圧は、PMOS 31に流れる電流と等しい電流がPMOS 32に流れるようなゲート-ソース電圧を V_{gs} として、($V_{CC} + V_{gs}$)程度となり、ゲート-ソース

間電圧は過渡的にVCC以上になる。したがって、低電圧電源系において推奨される電圧を超える電圧が過渡的にソースドレイン間に印加され、また低電圧電源系において推奨される電圧を超える電圧が過渡的にゲートソース間に印加されるので、ホットキャリアによるデバイス性能劣化につながり、信頼性に劣るという問題があった。

【0015】

また、出力ノードN3が立ち下がることにより、PMOS21のオン電流でPMOS22を経由して出力ノードN2をプルアップするので2つのPMOS（第1のPMOS、第2のPMOSとする）を高電圧電源VDDと低電圧電源VCCの間に直列に接続して高電圧電源VDDにソースが接続される第1のPMOSのゲートを出力ノードN3に、低電圧電源VCCにドレインが接続される第2のPMOSのゲートを出力ノードN2に接続して後続の出力段を駆動するバッファを構成した場合、第2のPMOSがまだオン状態のときに第1のPMOSがオン状態に入るので貫通電流が高電圧電源VDDから低電圧電源VCCに流れ、無駄な消費電力が増加するという問題点があった。

【0016】

また、上記特許文献3（特許第3258229号公報）では、半導体集積回路の出力段を駆動する場合、出力段の各トランジスタは通常、数100 μ mのゲート幅を有しており、これを駆動するバッファの各トランジスタのゲート幅を小さくして貫通電流を小さくすると高速性が損なわれるという問題点もあった。

【0017】

本発明は、従来のレベル変換回路が有する上記問題点に鑑みてなされたものであり、本発明の目的は、高速に動作し、加えて負荷駆動能力の低下も抑えることの可能な、新規かつ改良されたレベル変換回路を提供することである。

【0018】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、レベル変換回路であって、第1のCMOS回路（10）と、第1の中間回路（30）と、第2の中間回路（40）と、第2のCMOS回路（20）と、第7のPチャネル型MOSト

ランジスタ（51p）と、第8のPチャネル型MOSトランジスタ（52p）とを備えたことを特徴とするレベル変換回路が提供される（請求項1）。

【0019】

第1のCMOS回路（10）は、高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1および第2のPチャネル型MOSトランジスタ（11，12），ならびに第1の出力ノードとグランドとの間に直列接続された第1および第2のNチャネル型MOSトランジスタ（13，14）を備え、プルアップ用として機能する第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、プルダウン用として機能する第2のNチャネル型MOSトランジスタのゲートに高電圧よりも低い低電圧とグランド電圧との間の振幅を有する入力信号が印加され、第2のPチャネル型MOSトランジスタ，および第1のNチャネル型MOSトランジスタの各ゲートに低電圧が共通に印加される。

【0020】

第1の中間回路（30）は、高電圧電源と第2の出力ノードとの間に接続され第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ（31），および第2の出力ノードと低電圧が印加される低電圧電源との間に接続され第1の信号がゲートに印加される第3のNチャネル型MOSトランジスタ（32）を有する。

【0021】

第2の中間回路（40）は、高電圧電源と第3の出力ノードとの間に接続され第1の中間回路の第2の出力ノードの電位がゲートに印加される第4のPチャネル型MOSトランジスタ（41），および第3の出力ノードと低電圧電源との間に接続され第1の中間回路の第2の出力ノードの電位がゲートに印加される第4のNチャネル型MOSトランジスタ（42）を有し、第3の出力ノードより第1の信号を出力する。

【0022】

第2のCMOS回路（20）は、高電圧電源と第4の出力ノードとの間に直列接続された第5および第6のPチャネル型MOSトランジスタ（21，22），ならびに第4の出力ノードとグランドとの間に直列接続された第5および第6の

Nチャネル型MOSトランジスタ（23，24）を備え、プルアップ用として機能する第5のPチャネル型MOSトランジスタのゲートに第1の中間回路の第2の出力ノードの電位を有する信号が印加され、プルダウン用として機能する第6のNチャネル型MOSトランジスタのゲートに入力信号の反転信号が印加され、第6のPチャネル型MOSトランジスタ、および第5のNチャネル型MOSトランジスタの各ゲートに低電圧が共通に印加され第4の出力ノードより高電圧とグランド電圧の振幅を有する信号を外部に出力する。

【0023】

第7のPチャネル型MOSトランジスタ（51p）は、直列接続された第1，第2のPチャネル型MOSトランジスタの共通ノードと第1の中間回路の第2の出力ノードとの間に接続され第1のCMOS回路の第1の出力ノードの電位がゲートに印加される。

【0024】

第8のPチャネル型MOSトランジスタ（52p）は、直列接続された第5，第6のPチャネル型MOSトランジスタの共通ノードと第2の中間回路の第3の出力ノードとの間に接続され第2のCMOS回路の第4の出力ノードの電位がゲートに印加される。

【0025】

かかる構成によれば、各トランジスタのゲート酸化膜には静的に低電圧レベルを超える電位が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。さらにラッチ回路をCMOSインバータで構成したため、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第2の従来技術（図11）よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。特に、完全空乏型SOIデバイスでは構造上ソースドレイン間耐圧が低いという課題があり、ソースドレイン間に過電圧がかからない本発明は、極めて有用である。

【0026】

本発明の第2の観点にかかるレベル変換回路は、以下の構成を採用する。

上記第1の観点にかかるレベル変換回路においては、第7のPチャネル型MO

Sトランジスタ（51p）のゲートには、第1の出力ノードの電位が印加され、第8のPチャネル型MOSトランジスタ（52p）のゲートには、第4の出力ノードの電位が印加されている。この点、本発明の第2の観点にかかるレベル変換回路は、第7のPチャネル型MOSトランジスタのゲート（51p）および第8のPチャネル型MOSトランジスタ（52p）のゲートに低電圧の電位が印加されることを特徴とするものである（請求項7）。

【0027】

かかる構成によれば、第7のPチャネル型MOSトランジスタおよび第8のPチャネル型MOSトランジスタのゲート酸化膜への負荷がさらに軽減されるという効果が得られる。

【0028】

上記第1または第2の観点にかかるレベル変換回路において、以下のような応用が可能である。

【0029】

各MOSトランジスタのオン抵抗を以下のように設定することが可能である（請求項2，8）。

①第1のCMOS回路（10）における第1のPチャネル型MOSトランジスタ（11）のオン抵抗は第2のPチャネル型MOSトランジスタ（12）のオン抵抗よりも大きく設定し、第2のNチャネル型MOSトランジスタ（14）のオン抵抗は第1のNチャネル型MOSトランジスタ（13）のオン抵抗よりも大きく設定する。

②第2のCMOS回路（20）における第5のPチャネル型MOSトランジスタ（21）のオン抵抗は第6のPチャネル型MOSトランジスタ（22）のオン抵抗よりも大きく設定し、第6のNチャネル型MOSトランジスタ（24）のオン抵抗は第5のNチャネル型MOSトランジスタ（25）のオン抵抗よりも大きく設定する。

③第1の中間回路（30）の第3のPチャネル型MOSトランジスタ（31）のオン抵抗は第7のPチャネル型MOSトランジスタ（51p）のオン抵抗よりも大きく設定する。

④第2の中間回路(40)の第4のPチャネル型MOSトランジスタ(41)のオン抵抗は第8のPチャネル型MOSトランジスタ(52p)のオン抵抗よりも大きく設定する。

【0030】

かかる構成によれば、各トランジスタのソースドレイン間に、過渡状態であってもソースドレイン間耐圧を超える電圧が加わらないため、許容ソースドレイン間耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。また、上記各トランジスタのゲート酸化膜には過渡状態であっても低電圧レベルを超える電圧が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで、より信頼性の高いレベル変換回路が構成できる。

【0031】

また、第1の中間回路の第3のNチャネル型MOSトランジスタ(32)、および第2の中間回路の第4のNチャネル型MOSトランジスタ(42)のサブストレートをそれぞれのソース側に接続して、他のNチャネル型MOSトランジスタのサブストレートと分離することも可能である(請求項3, 9)。

また、第7のPチャネル型MOSトランジスタ(51p)、および第8のPチャネル型MOSトランジスタ(52p)のサブストレートをソース、またはドレイン側に接続して、他のPチャネル型MOSトランジスタのサブストレートと分離することが可能である(請求項4, 10)。

【0032】

かかる構成によれば、第3のNチャネル型MOSトランジスタ(32)、および第4のNチャネル型MOSトランジスタ(42)を基板から電気的に分離されたPウエル領域に形成し、また、第7、第8のPチャネル型MOSトランジスタ(51p, 52p)を他のPMOSのNウエルから分離して、各々ソースに接続したことによって、第3、第4のNチャネル型MOSトランジスタ(32, 42)、および第7、第8のPチャネル型MOSトランジスタ(51p, 52p)のゲート酸化膜への負荷がさらに軽減されるという効果が得られる。また、第3、第4のNチャネル型MOSトランジスタ(32, 42)のドレインとサブストレー

ートで形成される p n 接合にかかる逆バイアス電圧を軽減できる。また、第 3、第 4 の N チャネル型 MOS トランジスタ (3 2 , 4 2) の基板バイアス効果の影響を無くしたので、より高速な回路動作が期待できる。

【 0 0 3 3 】

また、各 P チャネル型 MOS トランジスタ、および各 N チャネル型 MOS トランジスタは絶縁膜により分離された素子領域に形成された構成とすることも可能である (請求項 5 , 1 1) 。かかる構成によれば、貫通電流が少なく、かつ高速な出力回路を実現できるという効果が得られる。

【 0 0 3 4 】

また、第 1 の信号は高電圧と低電圧の間の振幅を有する信号であり、該第 1 の信号を出力信号と独立して外部へ出力する構成とすることも可能である (請求項 6 , 1 2) 。かかる構成によれば、高速に動作し、加えて負荷駆動能力の低下も抑えられる。また、レベル変換回路の応用範囲を広くすることができる。

【 0 0 3 5 】

本発明の第 3 の観点にかかるレベル変換回路は、上記第 1 の観点にかかるレベル変換回路の第 7 の P チャネル型 MOS トランジスタ (5 1 p) および第 8 の P チャネル型 MOS トランジスタ (5 2 p) の代わりに、第 7 の N チャネル型 MOS トランジスタ (5 1 n) および第 8 の N チャネル型 MOS トランジスタ (5 2 n) を備えたものである。そして、第 7 の N チャネル型 MOS トランジスタ (5 1 n) および第 8 の N チャネル型 MOS トランジスタ (5 2 n) のゲートに高電圧の電位が印加されることを特徴とするものである (請求項 1 3) 。

【 0 0 3 6 】

かかる構成によれば、第 7 の N チャネル型 MOS トランジスタ (5 1 n) および第 8 の N チャネル型 MOS トランジスタ (5 2 n) の各ゲートを高電圧レベル (VDD) に接続して、第 1 の CMOS 回路 (1 0) および第 2 の CMOS 回路 (2 0) にて構成されるラッチ回路への書き込みをする構成としたので、P チャネル型 MOS トランジスタで構成した場合よりもオン抵抗を小さくできるので、レイアウトに要する素子面積を削減できるという効果が得られる。

【 0 0 3 7 】

上記第3の観点にかかるレベル変換回路において、以下のような応用が可能である。

【0038】

各MOSトランジスタのオン抵抗を以下のように設定することが可能である（請求項14）。

①第1のCMOS回路（10）における第1のPチャネル型MOSトランジスタ（11）のオン抵抗は第2のPチャネル型MOSトランジスタ（12）のオン抵抗よりも大きく設定し、第2のNチャネル型MOSトランジスタ（14）のオン抵抗は第1のNチャネル型MOSトランジスタ（13）のオン抵抗よりも大きく設定する。

②第2のCMOS回路（20）における第5のPチャネル型MOSトランジスタ（21）のオン抵抗は第6のPチャネル型MOSトランジスタ（22）のオン抵抗よりも大きく設定し、第6のNチャネル型MOSトランジスタ（24）のオン抵抗は第5のNチャネル型MOSトランジスタ（25）のオン抵抗よりも大きく設定する。

③第1の中間回路（30）の第3のPチャネル型MOSトランジスタ（31）のオン抵抗は第7のNチャネル型MOSトランジスタ（51n）のオン抵抗よりも大きく設定する。

④第2の中間回路（40）の第4のPチャネル型MOSトランジスタ（41）のオン抵抗は第8のNチャネル型MOSトランジスタ（52n）のオン抵抗よりも大きく設定する。

【0039】

かかる構成によれば、各トランジスタのソースドレイン間に、過渡状態であってもソースドレイン間耐圧を超える電圧が加わらないため、許容ソースドレイン間耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。また、上記各トランジスタのゲート酸化膜には過渡状態であっても低電圧レベルを超える電圧が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで、より信頼性の高いレベル変換回路が構成できる。

【 0 0 4 0 】

また、第 1 の中間回路の第 3 の N チャンネル型 MOS トランジスタ (3 2) , および第 2 の中間回路の第 4 の N チャンネル型 MOS トランジスタ (4 2) のサブストレートをそれぞれのソース側に接続して、他の N チャンネル型 MOS トランジスタのサブストレートと分離することも可能である (請求項 1 5) 。

また、第 7 の N チャンネル型 MOS トランジスタ (5 1 n) , および第 8 の N チャンネル型 MOS トランジスタ (5 2 n) のサブストレートをソース、またはドレイン側に接続して、他の P チャンネル型 MOS トランジスタのサブストレートと分離することが可能である (請求項 1 6) 。

【 0 0 4 1 】

かかる構成によれば、第 3 の N チャンネル型 MOS トランジスタ (3 2) , および第 4 の N チャンネル型 MOS トランジスタ (4 2) を基板から電氣的に分離された P ウェル領域に形成し、また、第 7 , 第 8 の N チャンネル型 MOS トランジスタ (5 1 n , 5 2 n) を他の NMOS の N ウェルから分離して、各々ソースに接続したことによって、第 3 , 第 4 の N チャンネル型 MOS トランジスタ (3 2 , 4 2) , および第 7 , 第 8 の N チャンネル型 MOS トランジスタ (5 1 n , 5 2 n) のゲート酸化膜への負荷がさらに軽減されるという効果が得られる。また、第 3 , 第 4 の N チャンネル型 MOS トランジスタ (3 2 , 4 2) のドレインとサブストレートで形成される p n 接合にかかる逆バイアス電圧を軽減できる。また、第 3 , 第 4 の N チャンネル型 MOS トランジスタ (3 2 , 4 2) の基板バイアス効果の影響を無くしたので、より高速な回路動作が期待できる。

【 0 0 4 2 】

また、各 P チャンネル型 MOS トランジスタ、および各 N チャンネル型 MOS トランジスタは絶縁膜により分離された素子領域に形成された構成とすることも可能である (請求項 1 7) 。かかる構成によれば、貫通電流が少なく、かつ高速な出力回路を実現できるという効果が得られる。

【 0 0 4 3 】

また、第 1 の信号は高電圧と低電圧の間の振幅を有する信号であり、該第 1 の信号を出力信号と独立して外部へ出力する構成とすることも可能である (請求項

18)。かかる構成によれば、高速に動作し、加えて負荷駆動能力の低下も抑えられる。また、レベル変換回路の応用範囲を広くすることができる。

【0044】

また、本発明の他の観点によれば、低電圧が印加される低電圧電源とグランドとの間に接続され、低電圧とグランド電圧との間の振幅を有する信号を出力する低電圧系回路と、低電圧系回路から出力された信号を低電圧よりも高い高電圧とグランド電圧との振幅を有する信号に変換するレベル変換回路とを備えた半導体集積回路において、レベル変換回路は、上記第1～第3のいずれかの観点にかかるレベル変換回路で構成したことを特徴とする半導体集積回路が提供される。

【0045】

なお上記において、括弧書きで記した構成要素は、理解を容易にするため、後述の実施形態における対応する構成要素を記したに過ぎず、本発明がこれに限定されるものではない。

【0046】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかるレベル変換回路の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0047】

(第1の実施の形態)

図1は、第1の実施の形態にかかるレベル変換回路の構成を示す回路図である。

レベル変換回路は、図1に示したように、CMOS回路10（本発明の第1のCMOS回路の一例）と、中間回路インバータ30（本発明の第1の中間回路の一例）と、中間回路インバータ40（本発明の第2の中間回路の一例）と、CMOS回路20（本発明の第2のCMOS回路の一例）と、PMOS51p（本発明の第7のPチャネル型MOSトランジスタの一例）と、PMOS52p（本発明の第8のPチャネル型MOSトランジスタの一例）を備えて構成されている。

以下、順に説明する。

【0048】

(CMOS回路10)

CMOS回路10は、高電圧が印加される高電圧電源VDD（例えば3.3V）と出力ノードN1との間に直列接続されたPMOS11, 12と、出力ノードN1とグランドの間に直列接続されたNMOS13, 14を有する。プルアップ用として機能するPMOS11のゲートはノードN4に接続され、プルダウン用として機能するNMOS14のゲートに高電圧VDDよりも低い低電圧VCC（例えば1.8V）とグランドとの間の振幅を有する入力信号INが印加され、PMOS12およびNMOS13の各ゲートに低電圧VCCが共通して印加される。

【0049】

(中間回路インバータ30)

中間回路インバータ30は、高電圧電源VDDと出力ノードN3の間に接続されゲートがノードN4に接続されたPMOS31と、出力ノードN3と低電圧電源VCCとの間に接続され、ゲートがノードN4に接続されたNMOS32を有する。

【0050】

(中間回路インバータ40)

中間回路インバータ40は、高電圧電源VDDと出力ノードN4の間に接続されゲートがノードN3に接続されたPMOS41と、出力ノードN4と低電圧電源VCCとの間に接続され、ゲートがノードN3に接続されたNMOS42を有する。

【0051】

(CMOS回路20)

CMOS回路20は、高電圧電源VDDと出力ノードN2の間に直列接続されたPMOS21, 22と、出力ノードN2とグランドの間に直列接続されたNMOS23, 24を有する。プルアップ用として機能するPMOS21のゲートはノードN3に接続され、プルダウン用として機能するNMOS24のゲートに入

力信号 I N の反転信号 I N 2 が印加され、P M O S 2 2、および N M O S 2 3 の各ゲートに低電圧 V C C が共通して印加される。

【 0 0 5 2 】

(P M O S 5 1 p)

P M O S 5 1 p は、C M O S 回路 1 0 の出力ノード N 1 にゲートが接続されドレインが C M O S 回路 1 0 の P M O S 1 2 のソースに接続されソースがノード N 3 に接続される。

【 0 0 5 3 】

(P M O S 5 2 p)

P M O S 5 2 p は、出力信号 O U T 1 がゲートに接続されドレインが C M O S 回路 2 0 の P M O S 2 2 のソースに接続されソースがノード N 4 に接続される。

【 0 0 5 4 】

上記構成において、中間回路インバータ 3 0、4 0 はラッチ回路を形成し、P M O S 5 1 p、5 2 p を経由して書き込みが行われる。C M O S 回路 1 0 の P M O S 1 2 および N M O S 1 3 は、それぞれ P M O S 1 1 および N M O S 1 4 の過電圧保護用として設けられ、その各ゲートには低電圧電源が共通して印加される。P M O S 1 1 のサブストレート (N 型ウエル領域) は P M O S 1 2 のサブストレートと共通して高電圧電源に接続され、N M O S 1 3 のサブストレートは N M O S 1 4 のサブストレートと共通してグランドに接続される。

【 0 0 5 5 】

同様に C M O S 回路 2 0 の P M O S 2 2 および N M O S 2 3 は、それぞれ P M O S 2 1 および N M O S 2 4 の過電圧保護用として設けられ、その各ゲートには低電圧電源が共通して印加される。P M O S 2 1 のサブストレート (N 型ウエル領域) は P M O S 2 2 のサブストレートと共通して高電圧電源に接続され、N M O S 2 3 のサブストレートは N M O S 2 4 のサブストレートと共通してグランドに接続される。

【 0 0 5 6 】

また、中間回路インバータ 3 0 の P M O S 3 1 のサブストレートは高電圧電源に接続され、N M O S 3 2 のサブストレートはグランドに接続される。

【 0 0 5 7 】

同様に、中間回路インバータ 4 0 の PMOS 4 1 のサブストレートは高電圧電源に接続され、NMOS 4 2 のサブストレートはグランドに接続される。

【 0 0 5 8 】

また、PMOS 5 1 p、および PMOS 5 2 p のサブストレートはそれぞれ高電圧電源に接続される。

【 0 0 5 9 】

上記各 PMOS トランジスタ、および NMOS トランジスタのゲート酸化膜耐圧から制限される動作電圧は電圧 V_{CC} 以上であり、かつ電圧 $(V_{DD} - V_{CC})$ 以上であり、電圧 V_{DD} よりも小さい値となっている。以下の説明では、 $V_{DD} > V_{CC} \geq (V_{DD} - V_{CC})$ の関係が成り立っているとして説明する。また、上記各 PMOS トランジスタ、および NMOS トランジスタを形成する拡散領域とサブストレート間の p n 接合の逆バイアス耐圧は高電圧レベル V_{DD} よりも大きく設定されている。

【 0 0 6 0 】

本実施の形態にかかるレベル変換回路は、以上のように構成されている。

次いで、レベル変換回路の動作について説明する。

【 0 0 6 1 】

(第 1 の実施の形態の動作)

入力信号 IN が低電圧レベル (V_{CC}) である場合は、NMOS 1 4 がオンし、NMOS 1 3 のソース電位が下がることにより NMOS 1 3 がオンし、出力ノード $N1$ の電位はグランドレベルまで下がる。そして PMOS 1 2 のソースが高電圧レベルにあれば PMOS 1 2 はオンし、PMOS 1 2 のソース電位は下がる。また、PMOS 5 1 p はオンしノード $N3$ の電位を下げる。これによって、PMOS 4 1、2 1 もオンする。

【 0 0 6 2 】

一方、入力信号の反転信号 $IN2$ により NMOS 2 4 がオフし、PMOS 2 1 からの電流により、PMOS 2 2 のソース電位が上昇し PMOS 2 2 がオンし、出力ノード $N2$ の電位は上昇する。また、PMOS 5 2 p はオン状態からオフ状

態に移行する。これによって出力ノードN4の電位が上昇し、NMOS32がオンし、NMOS42はオフする。したがって、高電圧レベル(VDD)が出力信号OUT1, およびOUT2に出力される。この状態では、PMOS11, 31とNMOS42, 24がオフ状態なので直流電流パスは存在しない。また、出力ノードN3, およびN4はそれぞれ低電圧レベル(VCC), および高電圧レベル(VDD)になる。

【0063】

一方、入力信号INが低電圧レベルVCCからグラウンドレベル(0Vレベル)へ変化した場合は、入力信号の反転信号IN2によりNMOS24がオンし、NMOS23のソース電位が下がることによりNMOS23がオンし、出力ノードN2の電位はグラウンドレベルまで下がる。そしてPMOS22のソースは高電圧レベルにあるのでPMOS22はオンし、PMOS22のソース電位は下がる。また、PMOS52pはオンしノードN4の電位を下げる。これによって、PMOS11, 31もオンする。

【0064】

一方、入力信号INによりNMOS14がオフし、PMOS11からの電流により、PMOS12のソース電位が上昇しPMOS12がオンし、出力ノードN1の電位は上昇する。また、PMOS51pはオン状態からオフ状態に移行する。これによって出力ノードN3の電位が上昇し、NMOS42がオンし、NMOS32はオフする。したがって、グラウンドレベル(0V)が出力信号OUT1に出力され、低電圧レベル(VCC)が出力信号OUT2に出力される。この状態では、PMOS21, 41とNMOS32, 14がオフ状態なので直流電流パスは存在しない。また、出力ノードN3, およびN4はそれぞれ、高電圧レベル(VDD)および低電圧レベル(VCC)になる。

【0065】

また、中間回路インバータ30, 40はラッチ回路を形成し、PMOS51p, 52pを経由して伝達された信号を各中間回路インバータ30, 40のしきい値電圧を中心に増幅するように働き、書き込まれたデータをPMOS51p, 52pを経由して電位を伝達するように動作する。

【 0 0 6 6 】

このような動作において、各MOSトランジスタのゲートとソースまたはドレインとの間に低電圧レベルVCC以上の電圧が印加されることはない。また、ゲートとサブストレートの間においても、上記NMOS 3 2, 4 2, およびPMOS 5 1 p, 5 2 pを除いて、低電圧レベルVCC以上の電圧が印加されることはない。MOSトランジスタがオンしてチャネルが形成されているときは、チャネルはソースと同電位になっているのでソース-サブストレート間電圧(VCC)によらずゲート酸化膜にはゲート-ソース間電圧しかかからない。

【 0 0 6 7 】

一方、MOSトランジスタがオフしてチャネルが形成されていないときには、ゲート-ソース間電圧 V_{gs} とソース-サブストレート間電圧 V_{sb} の和、 $V_{gs} + V_{sb}$ の電圧がゲート酸化膜とゲート下の空乏層に分圧される。 V_{sb} が増えると空乏層が広がり、ゲート酸化膜にかかる電圧はそれほど増加しない。以上の理由から V_{sb} をかけてもゲート酸化膜にかかる最大電圧は従来と変わらずゲート酸化膜の信頼性は損なわれない。

【 0 0 6 8 】

図2は、レベル変換回路の動作波形図である。(a)は図1に示した本実施の形態にかかるレベル変換回路の動作波形図であり、(b)は図11に示した第2の従来技術にかかるレベル変換回路の動作波形図である。図1のOUT 2, N 3はそれぞれ図11のN 2 5, N 2 1に対応する。図11のVBの電位は図1と同じ条件とするために低電圧レベルVCC(=1.8V)としている。

【 0 0 6 9 】

図11のN 2 5, N 2 1のLowレベルは低電圧レベルVCCまでは下がらず、2.0Vになっている。N 2 1の立ち下がり波形は2.3V付近までは急峻に下がるが、それ以降はPMOS 3 0 1がオフしていくので緩やかになる。一方、N 2 1の立ち上がり波形はPMOS 3 0 7がオンして、PMOS 3 0 8からの電流とともにノードN 2 4を充電するのでN 2 5の立ち上がり波形よりも急峻になり、図2(a)と比べても同程度である。

【 0 0 7 0 】

図11のPMOS314をオンさせるとき、Lowレベルが下がりきらないこと、立ち下がりが2.3V付近から緩やかになってしまうことからPMOS314が出力の負荷を十分に駆動できない。一方、図2(a)ではOUT2は高電圧VDD-低電圧VCC間の振幅を有しており、立ち下がり、立ち上がり波形も一瞬緩やかになるが問題とはならない。

【0071】

(第1の実施の形態の効果)

以上のように、本実施の形態によれば、上記各トランジスタのゲート酸化膜には静的に低電圧レベルを超える電位が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。さらにラッチ回路をCMOSインバータで構成することにより、CMOSインバータの各トランジスタにかかるゲート-ソース間電圧が過渡的にも低電圧レベル以下になるように構成できる。このようにして、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第2の従来技術(図11)よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【0072】

また、第3の従来技術(図12)の中間回路30、40のPMOS32、42のソース-ゲート間電圧にはノードN3、またはN4が高電圧レベル(VDD)から低電圧レベル(VCC)になるとき過渡的に低電圧レベルVCCを超える電圧がかかることがある。この点、本実施の形態では、MOSトランジスタとCMOSインバータとからなる中間回路により構成することにより、CMOSインバータの各トランジスタにかかるゲート-ソース間電圧が過渡的にも低電圧レベル以下になるように構成できる。

【0073】

(第2の実施の形態)

第2の実施の形態は上記第1の実施の形態において、CMOS回路10のPMOS11のオン抵抗はPMOS12のオン抵抗よりも大きく設定し、NMOS14のオン抵抗はNMOS13のオン抵抗よりも大きく設定し、同様にCMOS回路20のPMOS21のオン抵抗はPMOS22のオン抵抗よりも大きく設定し

、NMOS 24 のオン抵抗はNMOS 23 のオン抵抗よりも大きく設定するとともに、中間回路インバータ 30 のPMOS 31 のオン抵抗はPMOS 51 p のオン抵抗よりも大きく設定し、中間回路インバータ 40 のPMOS 41 のオン抵抗はPMOS 52 p のオン抵抗よりも大きく設定した回路である。

【0074】

上記各PMOSトランジスタ、およびNMOSトランジスタのソースドレイン間耐圧から制限される動作電圧は、各MOSトランジスタのしきい値電圧の絶対値の最大値を V_{th} として、電圧 $(V_{CC} + V_{th})$ よりも十分大きく、かつ電圧 $(V_{DD} - V_{CC} + V_{th})$ よりも十分大きく、電圧 V_{DD} よりも小さい値となっている。

【0075】

(第2の実施の形態の動作)

まず、入力信号INがグランドレベルから低電圧レベル(V_{CC})に変化する場合は、NMOS 14 がオンし、NMOS 13 のソース電位が下がることによりNMOS 13 がオンし、出力ノードN1の電位は高電圧レベル(V_{DD})から下がってくる。このとき、NMOS 14 のオン抵抗はNMOS 13 のオン抵抗よりも大きく設定したのでNMOS 13 のゲート-ソース間電圧はしきい値電圧 V_{th} を少し超える程度である。そしてPMOS 12 のソース電位は高電圧レベルにありゲートの電位は低電圧レベル V_{CC} であるのでPMOS 12 はオンしており、出力ノードN1の電位が低電圧レベル V_{CC} 程度になるまでPMOS 12 のドレイン-ソース間電圧は小さい電圧に保たれ、PMOS 12 のソース電位は下がる。また、PMOS 51 p はオンしノードN3の電位を下げる。

【0076】

このとき、PMOS 31 のオン抵抗はPMOS 51 p のオン抵抗よりも大きく設定したので、PMOS 51 p のソースドレイン間に印加される電圧は小さく、また、PMOS 12 のドレイン-ソース間電圧は小さい電圧に保たれているのでPMOS 51 p のゲート-ソース間電圧、およびゲートドレイン間電圧は低電圧レベル V_{CC} 程度以下に抑えられる。そして、PMOS 41, 21 もオンする。

【0077】

一方、入力信号の反転信号 $IN2$ により $NMOS24$ がオフし、 $PMOS21$ からの電流により、 $PMOS22$ のソース電位が上昇し $PMOS22$ がオンし、出力ノード $N2$ の電位は上昇する。このとき、 $NMOS23$ はオン状態であり、出力ノード $N2$ の電位が低電圧レベル VCC 程度になるまで $NMOS23$ のドレイン-ソース間電圧は小さい電圧に保たれ、そのときの $PMOS22$ のゲート-ソース間電圧は、 $PMOS21$ のオン抵抗を $PMOS22$ のオン抵抗よりも大きく設定したので、 $PMOS22$ のしきい値電圧を少し超える程度である。また、 $PMOS52p$ はオン状態からオフ状態に移行する。

【0078】

このとき、 $PMOS41$ のオン抵抗は $PMOS52p$ のオン抵抗よりも大きく設定したので、 $PMOS52p$ のソース-ドレイン間に印加される電圧は小さく、また、 $PMOS22$ のドレイン-ソース間電圧は小さい電圧に保たれているので $PMOS52p$ のゲート-ソース間電圧、およびゲート-ドレイン間電圧は、低電圧レベル VCC 程度以下に抑えられる。そして出力ノード $N4$ の電位が上昇し、 $NMOS32$ がオンし、 $NMOS42$ はオフする。したがって、高電圧レベル (VDD) が出力信号 $OUT1$ 、および $OUT2$ に出力される。

【0079】

一方、入力信号 IN が低電圧レベル VCC からグラウンドレベル ($0V$ レベル) へ変化した場合も、同様であるので重複説明を省略する。

【0080】

上記のように、 $NMOS13$ 、 23 のソース-ドレイン間には、そのしきい値電圧の最大値を V_{thn} として、過渡状態であっても電圧 ($VCC + V_{thn}$) を少し超える程度の電圧が印加され、 $PMOS12$ 、 22 のソース-ドレイン間には、そのしきい値電圧の絶対値の最大値を V_{thp} として、電圧 ($VDD - VCC + V_{thp}$) を少し超える程度の電圧が印加されるように構成した。

【0081】

(第2の実施の形態の効果)

以上のように、第2の実施の形態によれば、上記各トランジスタのソース-ド

レイン間に過渡状態であってもソースドレイン間耐圧を超える電圧が加わらないため、許容ソースドレイン間耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。また、上記各トランジスタのゲート酸化膜には過渡状態であっても低電圧レベルを超える電圧が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで、より信頼性の高いレベル変換回路が構成できる。

【 0 0 8 2 】

(第3の実施の形態)

図3は、第3の実施の形態にかかるレベル変換回路の構成を示す回路図であり、図1と共通の要素には同一の符号が付されている。

第3の実施の形態は、上記第1の実施の形態、または第2の実施の形態において、中間回路インバータ30のNMOS32、中間回路インバータ40のNMOS42のサブストレートの接続構成をグランドから各NMOSのソースに換え、PMOS51pのサブストレートの接続構成を高電圧電源VDDから出力ノードN3に接続を換え、PMOS52pのサブストレートの接続構成を高電圧電源VDDから出力ノードN4に接続を換えた構成にしたものである。上記NMOS32、NMOS42は、P型基板上に形成されたディープNウエル領域に形成されたPウエル領域に形成され、電氣的に基板と分離されたNMOSトランジスタとする。

【 0 0 8 3 】

(第3の実施の形態の動作)

回路動作は上記第1の実施の形態、および第2の実施の形態と同じである。上記第1の実施の形態において、ゲート-サブストレートの電圧が高電圧レベルVDDであっても、ゲート酸化膜にかかる電圧は低電圧レベルVCC程度であることを説明した。

【 0 0 8 4 】

(第3の実施の形態の効果)

第3の実施の形態においてはNMOS32、およびNMOS42を基板から電氣的に分離されたPウエル領域に形成し、また、PMOS51p、52pを他の

PMOSのNウェルから分離して、各々ソースに接続したことによって、各NMOS 3 2, 4 2, およびPMOS 5 1 p, 5 2 pのゲート酸化膜への負荷がさらに軽減されるという効果が得られる。また、NMOS 3 2, およびNMOS 4 2のドレインとサブストレートで形成されるpn接合にかかる逆バイアス電圧を軽減できる。また、NMOS 3 2, およびNMOS 4 2の基板バイアス効果の影響を無くしたので、より高速な回路動作が期待できる。

【0085】

本実施の形態に用いた3重ウェル構造などの素子分離技術は、基板ノイズの低減やリーク電流の低減などを目的として、微細プロセスを用いたLSIに採用されるようになってきており、数%のコスト高になるが、今後プロセスの微細化が進むにつれてますます採用されると期待され、本実施の形態の構造のためだけにプロセスが複雑になるようなことはない。

【0086】

(第4の実施の形態)

図4は、第4の実施の形態にかかるレベル変換回路の構成を示す回路図であり、図1と共通の要素には同一の符号が付されている。

第4の実施の形態は、上記第1の実施の形態、第2の実施の形態、または第3の実施の形態において、各MOSトランジスタを酸化膜で完全に分離されたシリコン領域に形成したものであって、SOI (Silicon On Insulator) 構造のトランジスタを用いて構成される。図1におけるバルクCMOSでのウェル領域(サブストレート)は、SOI構造ではボディ領域と呼ばれ、完全空乏型SOIでは、通常ボディはフローティング状態にして、3端子トランジスタとして表現される。また、部分空乏型SOIではボディはフローティング状態にして用いる場合と、バルクCMOSと同様にボディをソースまたは電源レベルと接続する場合がある。バルクCMOSと同様にボディをソースまたは電源レベルと接続する場合は図3に示した第3の実施の形態と同一に構成できる。図4はボディはフローティング状態にして用いる場合を示す。

【0087】

(第4の実施の形態の動作)

回路動作は上記第 1 の実施の形態、および第 2 の実施の形態と同じである。

上記第 1 の実施の形態の説明において、バルク CMOS の各 PMOS トランジスタ、および各 NMOS トランジスタを形成する拡散領域とサブストレート間の p n 接合の逆バイアス耐圧は高電圧レベル VDD よりも大きく設定されていることを説明した。SOI 構造のウエハは表面のシリコン層の下に 100～500 nm 程度の厚さの酸化膜が埋め込み酸化膜として形成されて、各トランジスタの形成領域は互いに同程度の平面寸法の酸化膜で分離されている。したがって、バルク CMOS の各 PMOS トランジスタ、および各 NMOS トランジスタを形成する拡散領域とサブストレート間の p n 接合の逆バイアス耐圧に相当する分離酸化膜の耐圧は少なくとも 10 V 以上の耐圧が確保されている。

【0088】

(第 4 の実施の形態の効果)

第 4 の実施の形態においては SOI 構造の MOS トランジスタを用いたことによって、ボディ (サブストレート) をフローティング状態で使用でき、各 MOS トランジスタのゲートとボディ (サブストレート) との電圧、ドレインと基板間の耐圧を考慮しなくて良い。また、ボディと基板の間の耐圧は先に説明したように、高電圧レベル VDD に対し十分大きいので、最先端の微細プロセスにおいてもより信頼性が高い半導体集積回路を製造できる。

【0089】

また、素子領域を完全酸化膜分離としたので、各 MOS トランジスタのソース、およびドレインの寄生容量が低減され、より高速な回路動作が期待できる。さらに本実施の形態に用いた SOI 構造の素子分離により、基板ノイズの低減や接合リーク電流の低減などにも効果がある。

【0090】

(第 5 の実施の形態)

図 5 は、第 5 の実施の形態にかかるレベル変換回路の構成を示す回路図であり、図 1 と共通の要素には同一の符号が付されている。

第 5 の実施の形態は、上記第 1 の実施の形態において、PMOS 51p のゲートの接続構成を出力ノード N1 から低電圧電源に換え、PMOS 52p のゲート

の接続構成を出力ノードN2から低電圧電源に換えた構成にしたものである。

【0091】

(第5の実施の形態の動作)

入力信号INが低電圧レベル(VCC)である場合は、NMOS14がオンし、NMOS13のソース電位が下がることによりNMOS13がオンし、出力ノードN1の電位はグラウンドレベルまで下がる。そしてPMOS12のソースが高電圧レベルにあればPMOS12はオンし、PMOS12のソース電位は下がる。また、PMOS51pはオンしているのでノードN3の電位を下がる。これによって、PMOS41, 21もオンする。

【0092】

一方、入力信号の反転信号IN2によりNMOS24がオフし、PMOS21からの電流により、PMOS22のソース電位が上昇しPMOS22がオンし、出力ノードN2の電位は上昇する。また、PMOS52pはオフ状態からオン状態に移行する。これによって出力ノードN4の電位が上昇し、NMOS32がオンし、NMOS42はオフする。したがって、高電圧レベル(VDD)が出力信号OUT1, およびOUT2に出力される。この状態では、PMOS11, 31とNMOS42, 24がオフ状態なので直流電流パスは存在しない。また、出力ノードN3, およびN4はそれぞれ低電圧レベル(VCC), および高電圧レベル(VDD)になる。

【0093】

一方、入力信号INが低電圧レベルVCCからグラウンドレベル(0Vレベル)へ変化した場合は、入力信号の反転信号IN2によりNMOS24がオンし、NMOS23のソース電位が下がることによりNMOS23がオンし、出力ノードN2の電位はグラウンドレベルまで下がる。そしてPMOS22のソースは高電圧レベルにあるのでPMOS22はオンし、PMOS22のソース電位は下がる。また、PMOS52pはオンしておりノードN4の電位を下げる。これによって、PMOS11, 31もオンする。

【0094】

一方、入力信号INによりNMOS14がオフし、PMOS11からの電流に

より、PMOS 12のソース電位が上昇しPMOS 12がオンし、出力ノードN1の電位は上昇する。また、PMOS 51pはオフ状態からオン状態に移行する。これによって出力ノードN3の電位が上昇し、NMOS 42がオンし、NMOS 32はオフする。したがって、グラウンドレベル(0V)が出力信号OUT1に出力され、低電圧レベル(VCC)が出力信号OUT2に出力される。この状態では、PMOS 21, 41とNMOS 32, 14がオフ状態なので直流電流パスは存在しない。また、出力ノードN3, およびN4はそれぞれ、高電圧レベル(VDD)および低電圧レベル(VCC)になる。

【0095】

このような動作において、PMOS 51p, 52pを除いて、各MOSトランジスタに印加される電圧は第1の実施の形態と同様である。PMOS 51p, 52pのゲートは低電圧レベルの電位に接続されたので、ゲートとソースまたはドレインとの間に印加される電圧は低電圧レベル以下であり、また、ゲートとサブストレートとの間の電圧も低電圧レベル以下である。

【0096】

(第5の実施の形態の効果)

以上のように、第5の実施の形態によれば、PMOS 51p, 52pのゲート電位を低電圧レベル(VCC)で固定しているので、過渡応答においても低電圧レベルを超える電位が加わらないようになる。このようにして、PMOS 51p, 52pのゲート酸化膜への負荷がさらに軽減されるという効果が得られる。

【0097】

(第6の実施の形態)

図6は、第6の実施の形態にかかるレベル変換回路の構成を示す回路図であり、図1と共通の要素には同一の符号が付されている。

第6の実施の形態は、上記第1の実施の形態において、PMOS 51pをNMOS 51nに置換え、NMOS 51nのゲートの接続構成を出力ノードN1から高電圧電源に換え、PMOS 52pをNMOS 52nに置換え、NMOS 52nのゲートの接続構成を出力ノードN2から高電圧電源に換えた構成にしたものである。また、上記第5の実施の形態に対しては、PMOS 51pをNMOS 51

nに置換え、NMOS 5 1 nのゲートを高電圧電源に接続し、NMOS 5 1 nのサブストレートをグラウンドレベルに接続し、PMOS 5 2 pをNMOS 5 2 nに置換え、NMOS 5 2 nのゲートを高電圧電源に接続し、NMOS 5 2 nのサブストレートの接続構成を高電圧電源からグラウンドレベルに接続した構成にしたものである。

【 0 0 9 8 】

(第6の実施の形態の動作)

入力信号INが低電圧レベル(VCC)である場合は、NMOS 1 4がオンし、NMOS 1 3のソース電位が下がることによりNMOS 1 3がオンし、出力ノードN 1の電位はグラウンドレベルまで下がる。そしてPMOS 1 2のソースが高電圧レベルにあればPMOS 1 2はオンし、PMOS 1 2のソース電位は下がる。また、NMOS 5 1 nはオンしノードN 3の電位を下げる。これによって、PMOS 4 1, 2 1もオンする。

【 0 0 9 9 】

一方、入力信号の反転信号IN 2によりNMOS 2 4がオフし、PMOS 2 1からの電流により、PMOS 2 2のソース電位が上昇しPMOS 2 2がオンし、出力ノードN 2の電位は上昇する。また、NMOS 5 2 nはオン状態からオフ状態に移行する。これらによって出力ノードN 4の電位が上昇し、NMOS 3 2がオンし、NMOS 4 2はオフする。したがって、高電圧レベル(VDD)が出力信号OUT 1, およびOUT 2に出力される。この状態では、PMOS 1 1, 3 1とNMOS 4 2, 2 4がオフ状態なので直流電流パスは存在しない。また、出力ノードN 3, およびN 4はそれぞれ低電圧レベル(VCC), および高電圧レベル(VDD)になる。

【 0 1 0 0 】

一方、入力信号INが低電圧レベルVCCからグラウンドレベル(0Vレベル)へ変化した場合は、入力信号の反転信号IN 2によりNMOS 2 4がオンし、NMOS 2 3のソース電位が下がることによりNMOS 2 3がオンし、出力ノードN 2の電位はグラウンドレベルまで下がる。そしてPMOS 2 2のソースは高電圧レベルにあるのでPMOS 2 2はオンし、PMOS 2 2のソース電位は下がる。

また、NMOS 52nはオンしノードN4の電位を下げる。これによって、PMOS 11, 31もオンする。

【0101】

一方、入力信号INによりNMOS 14がオフし、PMOS 11からの電流により、PMOS 12のソース電位が上昇しPMOS 12がオンし、出力ノードN1の電位は上昇する。また、NMOS 51nはオン状態からオフ状態に移行する。これらによって出力ノードN3の電位が上昇し、NMOS 42がオンし、NMOS 32はオフする。したがって、グラウンドレベル(0V)が出力信号OUT1に出力され、低電圧レベル(VCC)が出力信号OUT2に出力される。この状態では、PMOS 21, 41とNMOS 32, 14がオフ状態なので直流電流パスは存在しない。また、出力ノードN3, およびN4はそれぞれ、高電圧レベル(VDD)および低電圧レベル(VCC)になる。

【0102】

このような動作において、NMOS 51n, 52nを除いて、各MOSトランジスタに印加される電圧は第1の実施の形態と同様である。NMOS 51n, 52nのゲートは高電圧レベルの電位に接続され、ソースまたはドレインの電位は低電圧レベル(VCC)と高電圧レベル(VDD)の間にあるので、ゲートとソースまたはドレインとの間に印加される電圧は低電圧レベル以下である。また、ゲートとサブストレートとの間の電圧は、第1の実施の形態にて説明したように問題とはならない。

【0103】

(第6の実施の形態の効果)

以上のように、第6の実施の形態では上記NMOS 51n, 52nの各ゲートを高電圧レベル(VDD)に接続して中間回路インバータ10, および20にて構成されるラッチ回路への書き込みをする構成としたので、PMOSで構成した場合よりもオン抵抗を小さくできるのでレイアウトに要する素子面積を削減できるという効果が得られる。

【0104】

(第7の実施の形態)

図 7 は、第 7 の実施の形態を示す回路図であり、図 1 に示したレベル変換回路を集積回路の 3 ステートバッファ回路に適用したものである。この 3 ステートバッファ回路は低電圧電源にて動作する論理回路 5 0 を備え、この論理回路 5 0 の出力側が図 1 に示す構成のレベル変換回路に接続されている。

【 0 1 0 5 】

(論理回路 5 0)

低電圧電源系の論理回路 5 0 はデータ端子 5 1、およびイネーブル端子 5 2 を有し、NAND ゲート 5 3、インバータ 5 4、5 5、および NOR ゲート 5 6 で構成されている。さらに、レベル変換回路の出力側にはプリバッファ回路 6 0 を介してメインバッファ回路 7 0 が接続されている。プリバッファ回路 6 0 は PMOS 6 1、NMOS 6 2 にて構成され、高電圧 (VDD) と低電圧 (VCC) の間の振幅の信号を PMOS 7 1 に供給し、メインバッファ回路 7 0 は、PMOS 7 1、7 2、および NMOS 7 3、7 4 で構成され、その出力に接続された出力パッド 8 0 から集積回路の外部へ出力信号 OUT を出力するようになっている。

【 0 1 0 6 】

(第 7 の実施の形態の動作)

イネーブル端子 5 2 にグラウンドレベル (0 V) が入力されると、PMOS 7 1 のゲートには高電圧レベル (VDD) が印加され、また、NMOS 7 4 のゲートにはグラウンドレベル (0 V) が印加され、出力信号 OUT はハイインピーダンス状態になる。

【 0 1 0 7 】

一方、イネーブル端子 5 2 に低電圧レベル (VCC) が印加され、かつデータ端子 5 1 に低電圧レベル (VCC) が印加されると、PMOS 7 1 のゲートには低電圧レベル (VCC) が印加され、NMOS 7 4 のゲートにはグラウンドレベル (0 V) が印加され、出力信号 OUT は高電圧レベル (VDD) となる。

【 0 1 0 8 】

また、イネーブル端子 5 2 に低電圧レベル (VCC) が印加され、かつデータ端子 5 1 にグラウンドレベル (0 V) が印加されると、PMOS 7 1 のゲートには高電圧レベル (VDD) が印加され、NMOS 7 4 のゲートには低電圧レベル (

VCC) が印加され、出力信号OUTはグランドレベル(0V)となる。したがって、3ステートバッファとして機能する。

【0109】

(第7の実施の形態の効果)

以上のように、第7の実施の形態によれば、高電圧レベル(VDD)と低電圧レベルの間の振幅を有する信号を、高電圧レベルと低電圧レベルの間で動作するインバータで上記メインバッファ回路70を駆動するプリバッファ回路60を構成したので、貫通電流が少なく、かつ高速な出力回路を実現できるという効果が得られる。

【0110】

以上、添付図面を参照しながら本発明にかかるレベル変換回路の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0111】

例えば、上記第5の実施の形態では上記PMOS51p、52pの各ゲートを低電圧レベル(VCC)に接続して中間回路インバータ10、および20にて構成されるラッチ回路への書き込みをする構成について説明したが、上記第2～第4の実施の形態にて説明した構成を上記第5の実施の形態に適用すれば、上記第2～第4の実施の形態にて説明した各効果と同様の効果が得られる。また、PMOS51p、52pの各ゲートをそれぞれドレインと接続してなるMOSダイオード接続の構成にしても良い。

【0112】

図8に第5の実施の形態に対して、上記第3の実施の形態の発明を適用した例を示す。図9に第5の実施の形態に対して、上記第4の実施の形態の発明を適用した例を示す。

【0113】

また、上記第6の実施の形態では上記NMOS51n、52nの各ゲートを高

電圧レベル（VDD）に接続して中間回路インバータ10，および20にて構成されるラッチ回路への書き込みをする構成について説明したが，上記第2～第4の実施の形態にて説明した構成を上記第6の実施の形態に適用すれば，上記第2～第4の実施の形態にて説明した各効果と同様の効果が得られる。また，NMOS51n，52nの各ゲートをそれぞれドレインと接続してなるMOSダイオード接続の構成にしても良い。

【0114】

また，第5の実施の形態，および第6の実施の形態の変形としたMOSダイオードをpn接合ダイオードとしても良い。

【0115】

また，第1の実施の形態ではCMOS回路10，20のプルダウン用として機能するNMOS14，およびNMOS24による動作について説明したが，NMOS24を省略して，NMOS23のソースに直接入力信号INを印加しても動作が損なわれることはない。同様に第1の実施の形態においてNMOS14を省略して，NMOS13のソースに直接入力信号IN2を印加しても動作が損なわれることはない。第1の実施の形態よりも回路が簡素化され，かつ入力信号を1種類にできる。また，同様に第1の実施の形態においてNMOS14を省略して，NMOS13のソースに直接入力信号IN2を印加し，NMOS24を省略して，NMOS23のソースに直接入力信号INを印加する構成にすればさらに回路が簡素化される。

【0116】

また，第1の実施の形態ではCMOS回路10，20のプルアップ用として機能するPMOS11，およびPMOS21による動作について説明したが，PMOS11，およびPMOS21を省略しても同様の動作を実現でき，回路を簡素化できる。また，上記第1～第7の実施の形態およびその変形回路に適用しても同様な効果が期待できる。

【0117】

さらに，上記第1～第6の実施の形態にて説明した構成を上記第7の実施の形態に適用すれば，上記第1～第6の実施の形態にて説明した各効果と同様の効果

が得られる。

【0 1 1 8】

また、上記第7の実施の形態においてプリバッファを追加、または省略してもよい。

【0 1 1 9】

また、MOSトランジスタに接続される低電圧電源を個別に異なる低電圧電源、またはバイアス回路に接続することによりトランジスタのオン抵抗を調節することができ、ゲート幅、またはゲート長の設定に自由度を持たせることも可能である。

【0 1 2 0】

以上、3 Vと1. 8 Vの2電源を前提に説明したが、0. 1 μ m世代のデバイスでは、ゲート酸化膜耐圧が1. 3 V程度になることが予想され、高電圧が1. 8 V、低電圧が1. 0 Vというような組み合わせで本発明を適用することも可能である。

【0 1 2 1】

【発明の効果】

以上説明したように、本発明によれば、各トランジスタのゲート酸化膜には静的に低電圧レベルを超える電位が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。さらにラッチ回路をCMOSインバータで構成したため、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第2の従来技術（図1 1）よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【0 1 2 2】

さらに、本明細書で説明したさまざまな応用例を適用することにより、さらなる優れた効果を得ることが可能である。

【図面の簡単な説明】

【図1】

第1、第2の実施の形態にかかるレベル変換回路の説明図である。

【図2】

レベル変換回路の動作波形を示す説明図であり、（a）は図 1 のレベル変換回路、（b）は図 1 1 のレベル変換回路に対応するものである。

【図 3】

第 3 の実施の形態にかかるレベル変換回路の説明図である。

【図 4】

第 4 の実施の形態にかかるレベル変換回路の説明図である。

【図 5】

第 5 の実施の形態にかかるレベル変換回路の説明図である。

【図 6】

第 6 の実施の形態にかかるレベル変換回路の説明図である。

【図 7】

第 7 の実施の形態にかかるレベル変換回路の説明図である。

【図 8】

第 5 の実施の形態に対して、第 3 の実施の形態を適用したレベル変換回路の説明図である。

【図 9】

第 5 の実施の形態に対して、第 4 の実施の形態を適用したレベル変換回路の説明図である。

【図 1 0】

第 1 の従来技術にかかるレベル変換回路の説明図である。

【図 1 1】

第 2 の従来技術にかかるレベル変換回路の説明図である。

【図 1 2】

第 3 の従来技術にかかるレベル変換回路の説明図である。

【符号の説明】

1 0 CMOS 回路（第 1 の CMOS 回路）

1 1 PMOS（第 1 の P チャネル型 MOS トランジスタ）

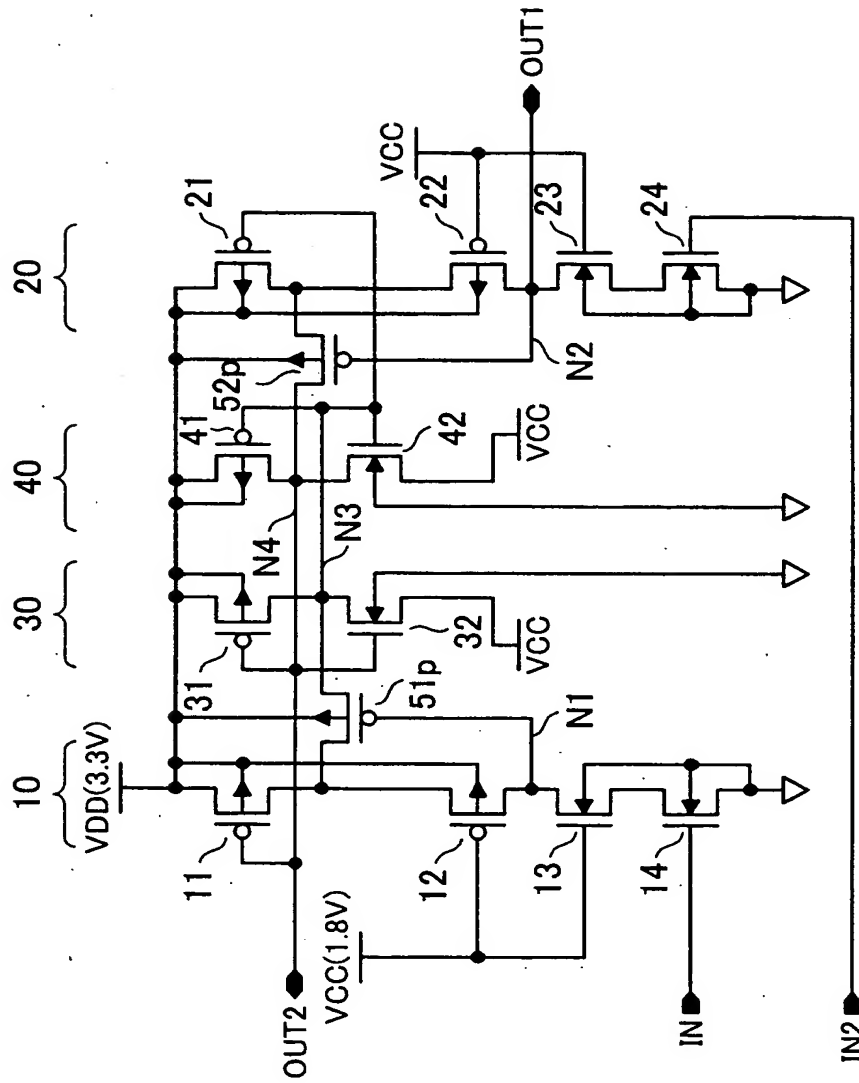
1 2 PMOS（第 2 の P チャネル型 MOS トランジスタ）

1 3 NMOS（第 1 の N チャネル型 MOS トランジスタ）

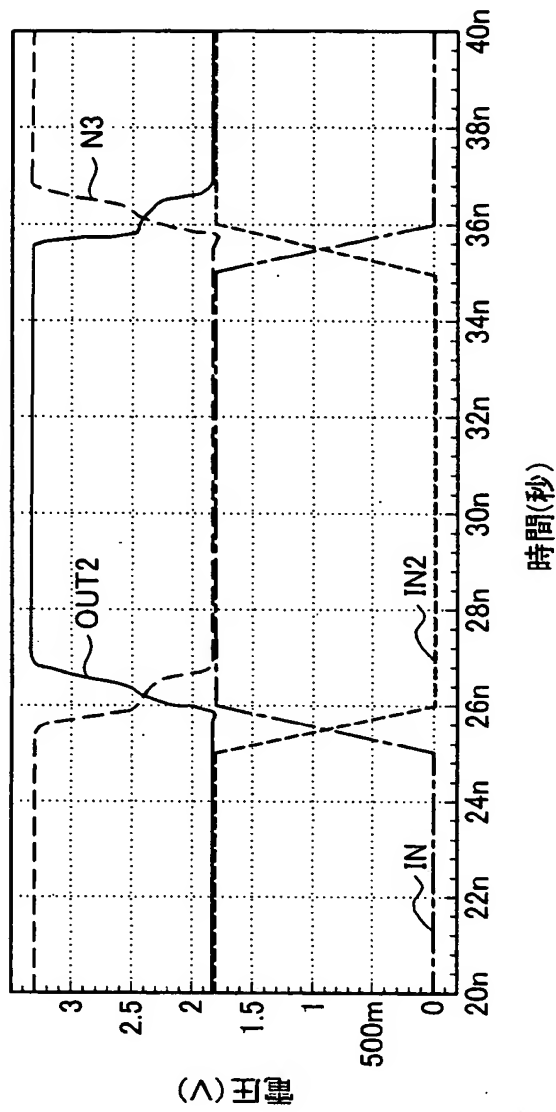
- 1 4 NMOS (第 2 の N チャンネル型 MOS トランジスタ)
- 2 0 CMOS 回路 (第 2 の CMOS 回路)
- 2 1 PMOS (第 5 の P チャンネル型 MOS トランジスタ)
- 2 2 PMOS (第 6 の P チャンネル型 MOS トランジスタ)
- 2 3 NMOS (第 5 の N チャンネル型 MOS トランジスタ)
- 2 4 NMOS (第 6 の N チャンネル型 MOS トランジスタ)
- 3 0 中間回路インバータ (第 1 の 中間回路)
- 3 1 PMOS (第 3 の P チャンネル型 MOS トランジスタ)
- 3 2 NMOS (第 3 の N チャンネル型 MOS トランジスタ)
- 4 0 中間回路インバータ (第 2 の 中間回路)
- 4 1 PMOS (第 4 の P チャンネル型 MOS トランジスタ)
- 4 2 NMOS (第 4 の N チャンネル型 MOS トランジスタ)
- 5 1 n NMOS (第 7 の N チャンネル型 MOS トランジスタ)
- 5 1 p PMOS (第 7 の P チャンネル型 MOS トランジスタ)
- 5 2 n NMOS (第 8 の N チャンネル型 MOS トランジスタ)
- 5 2 p PMOS (第 8 の P チャンネル型 MOS トランジスタ)

【書類名】 図面

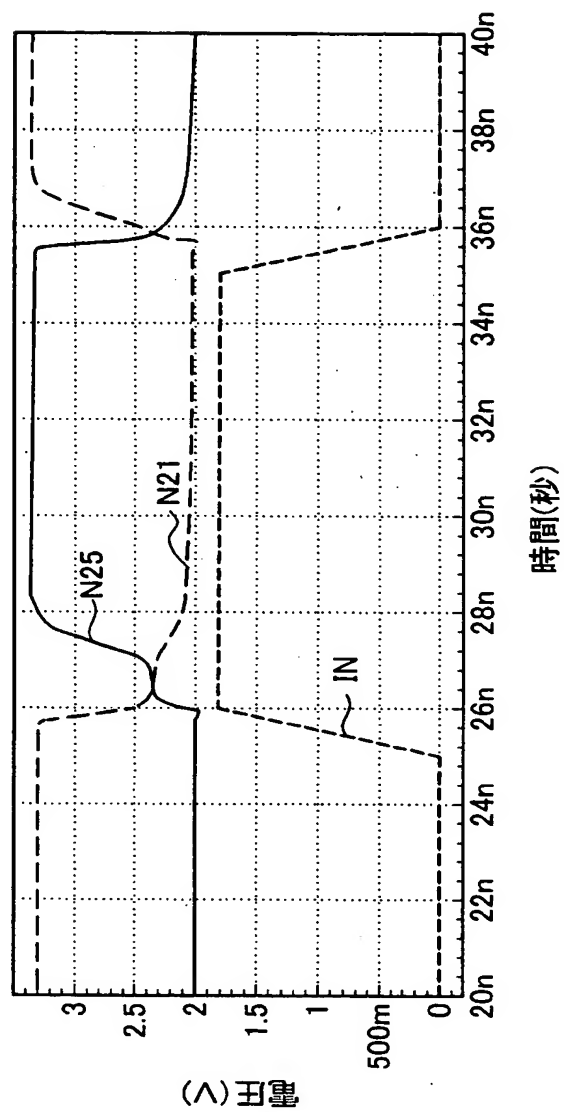
【図 1】



【図2】

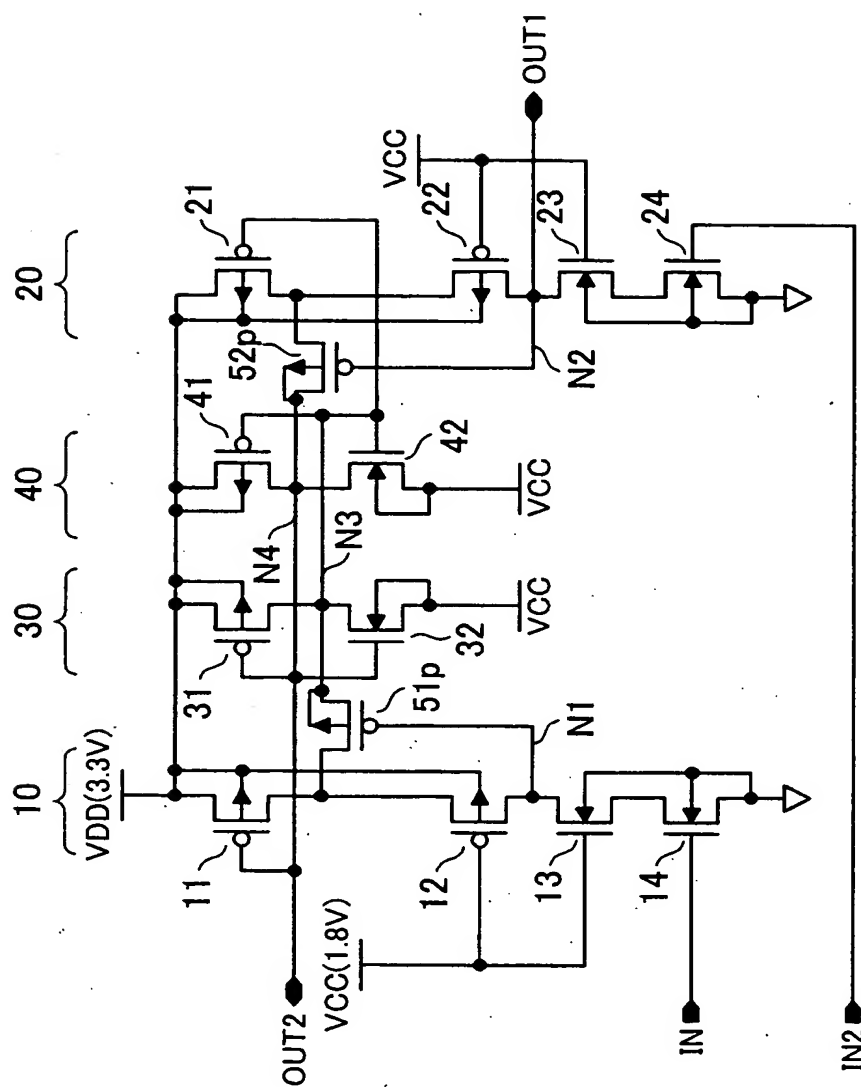


(a)

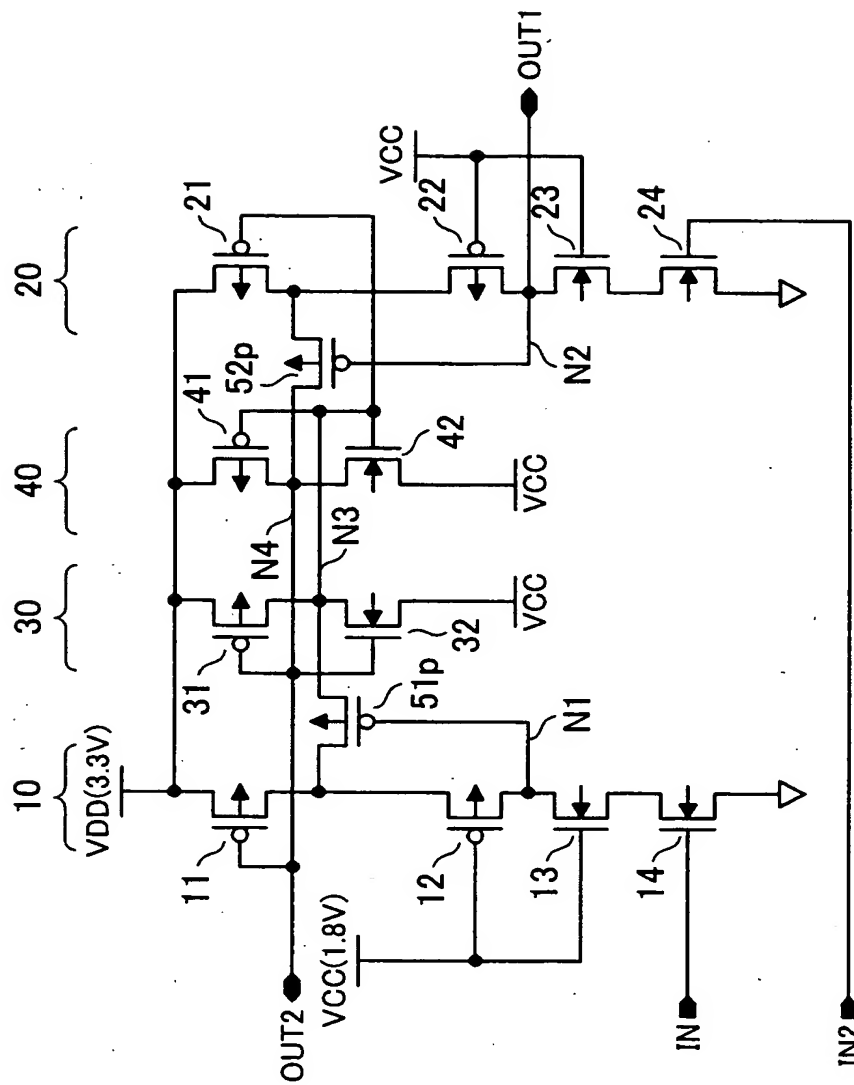


(b)

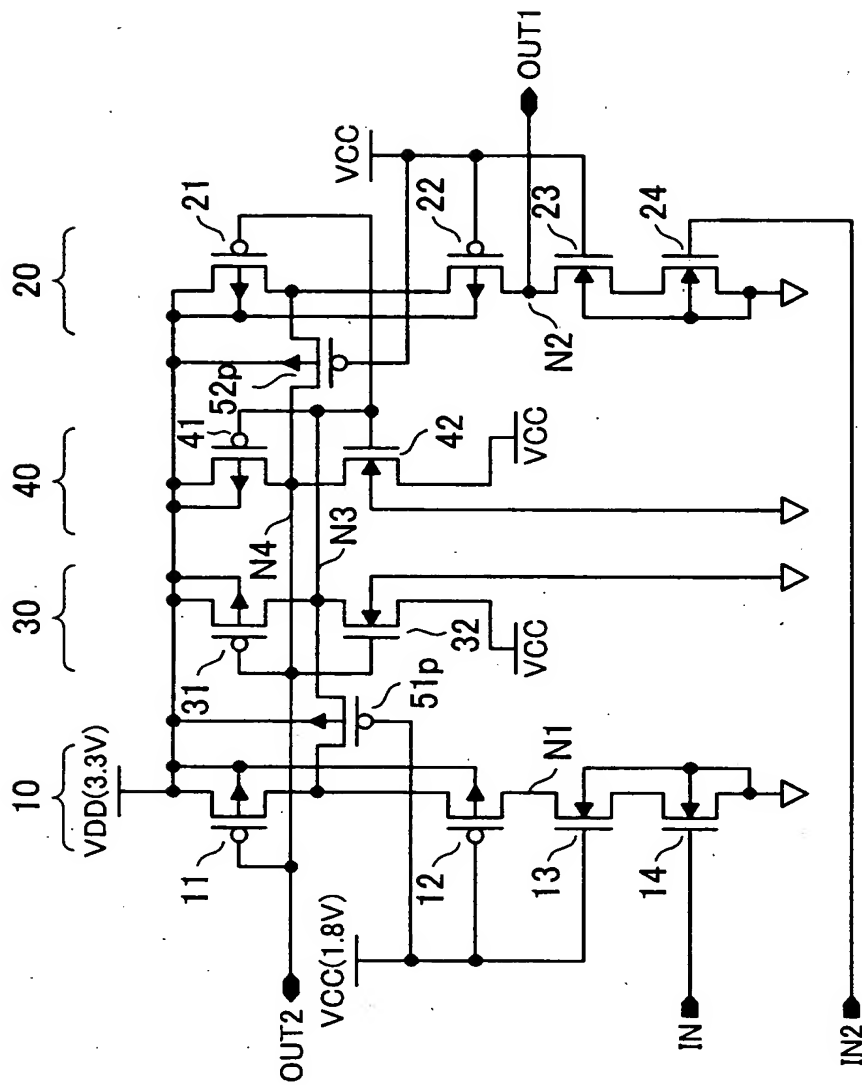
【図 3】



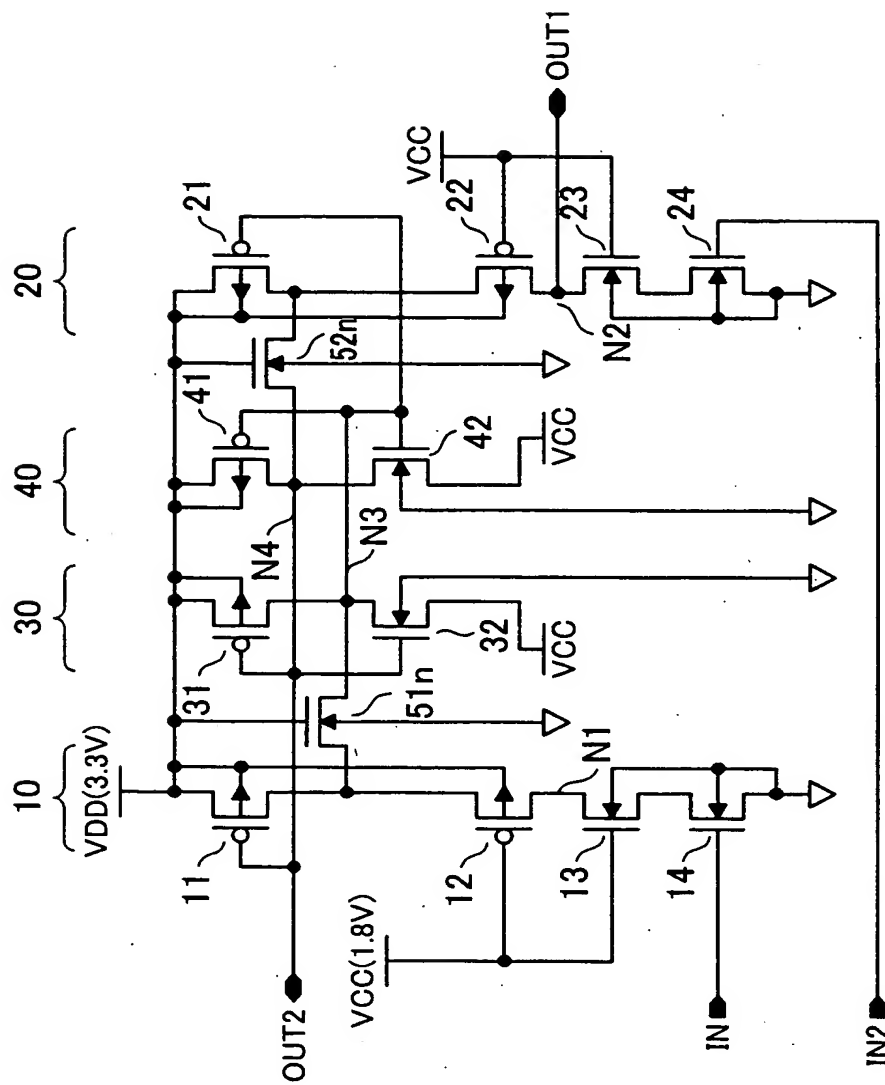
【図4】



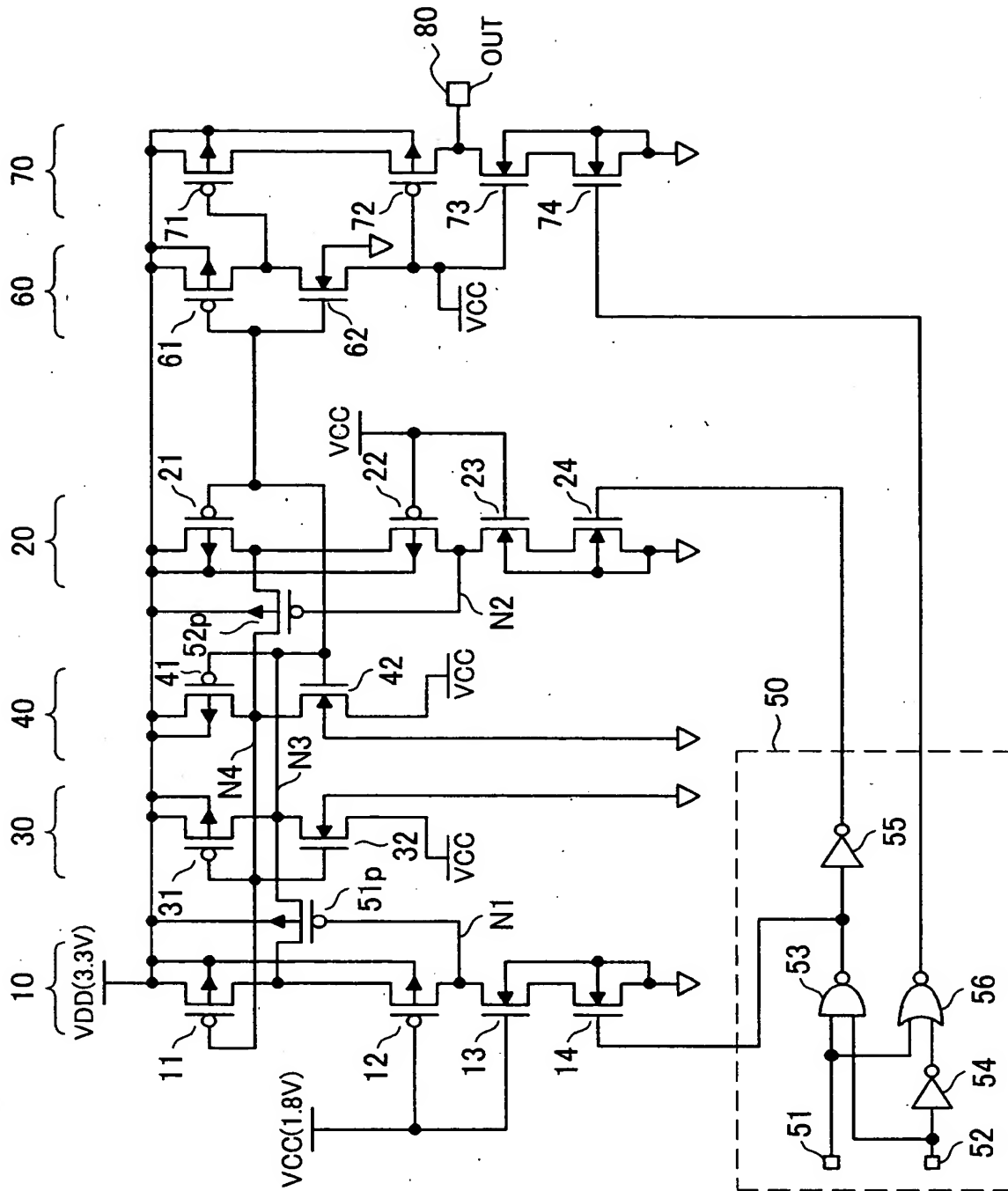
【図 5】



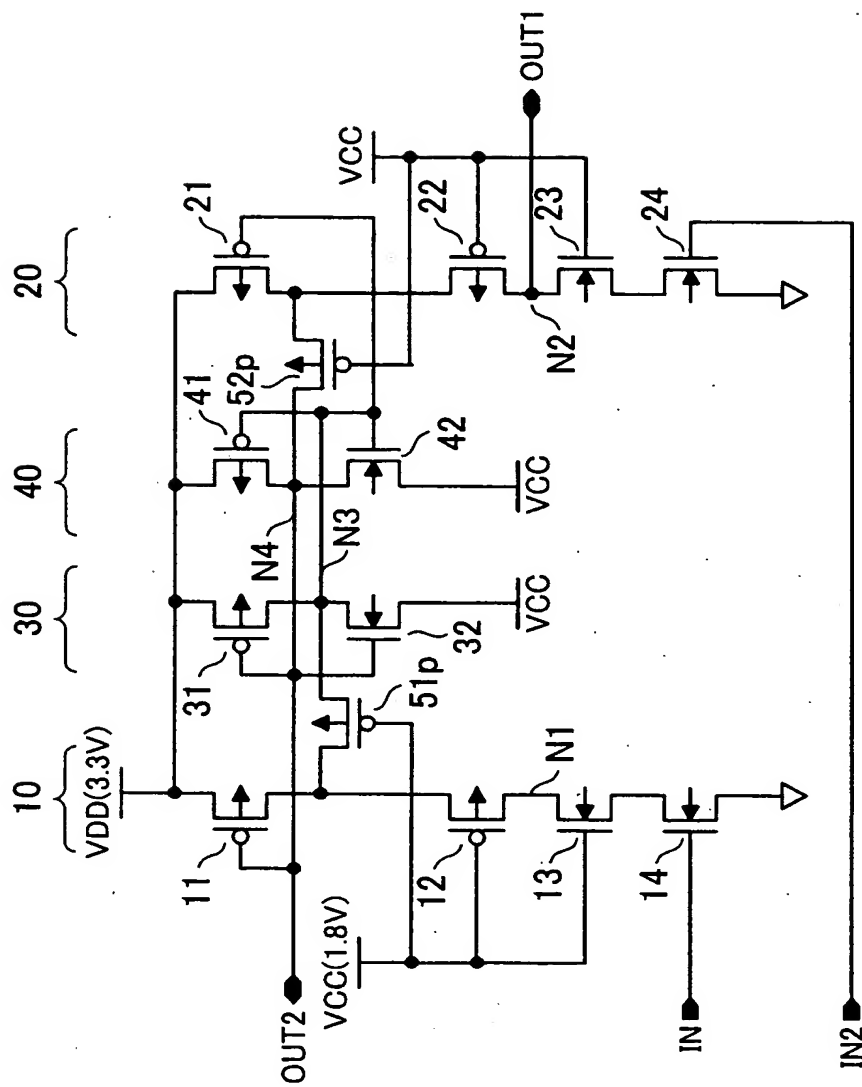
【図 6】



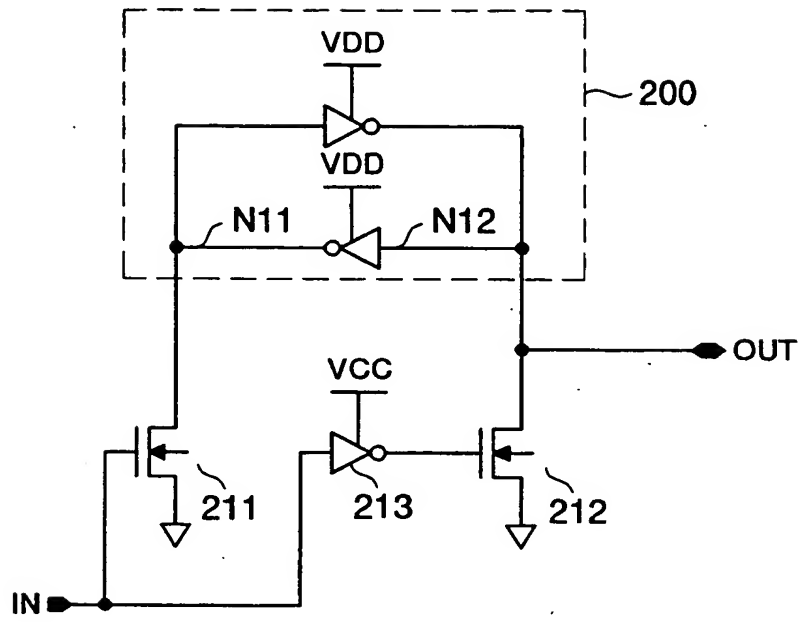
【図7】



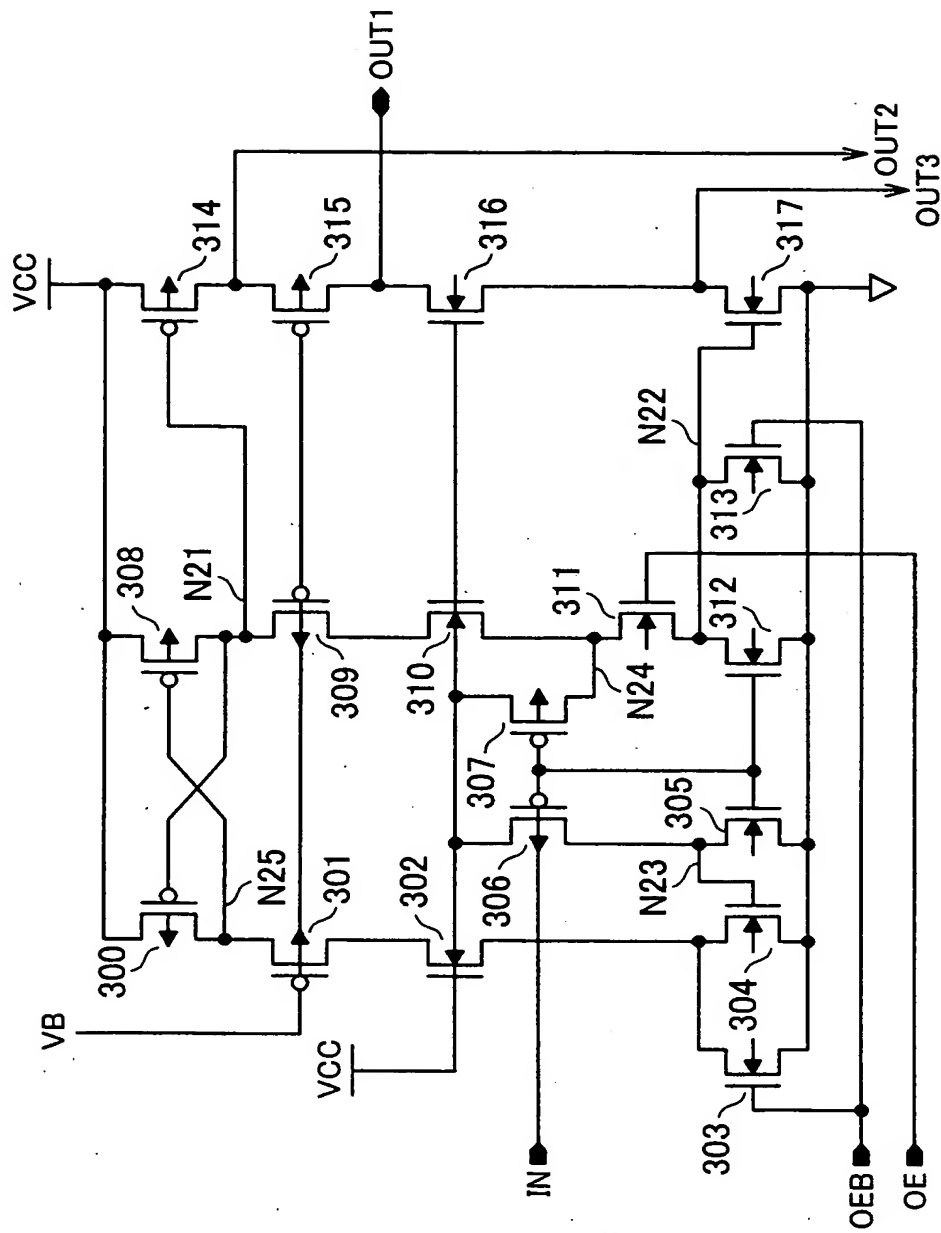
【図9】



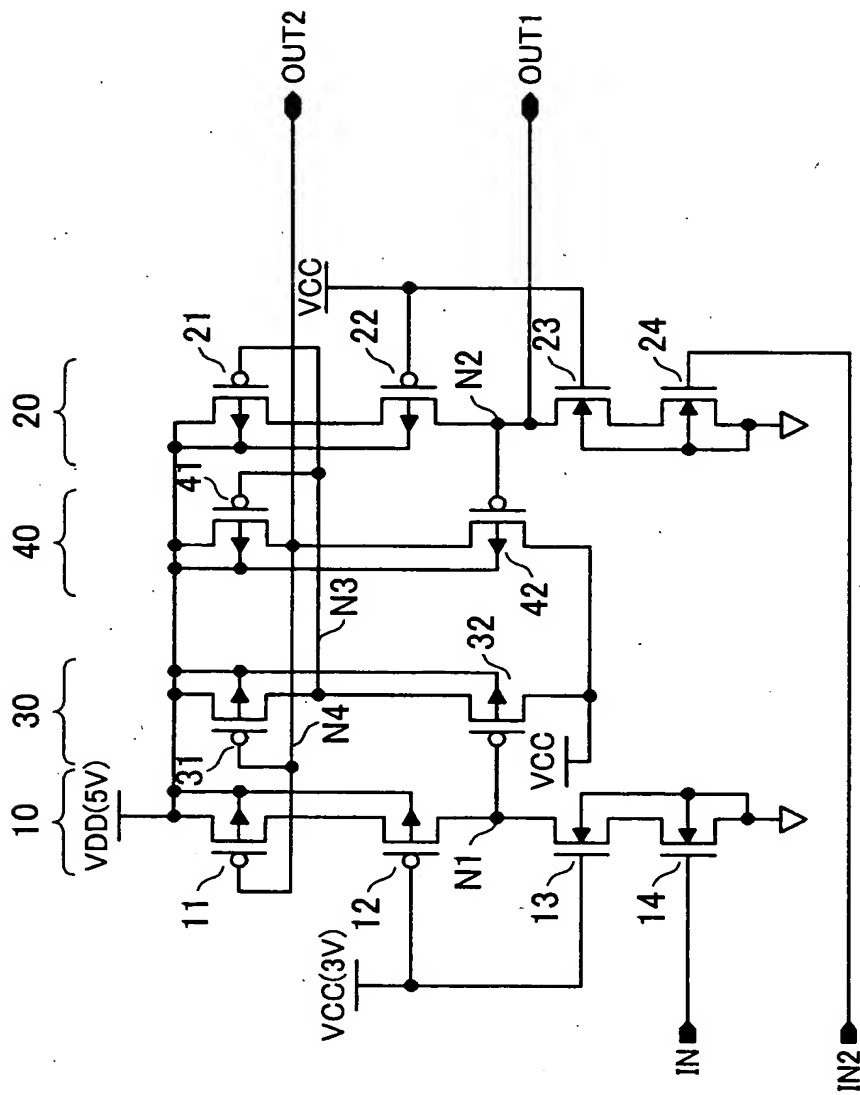
【図 1 0】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 高速に動作し、加えて負荷駆動能力の低下も抑えることの可能なレベル変換回路を提供する。

【解決手段】 第1のCMOS回路10と、第1の中間回路30と、第2の中間回路40と、第2のCMOS回路20と、第7のPチャネル型MOSトランジスタ51pと、第8のPチャネル型MOSトランジスタ52pとを備えたレベル変換回路において、中間回路インバータ30、40はラッチ回路を形成し、PMOS51p、52pを経由して書き込みが行われる。ラッチ回路をCMOSインバータで構成したため、高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社